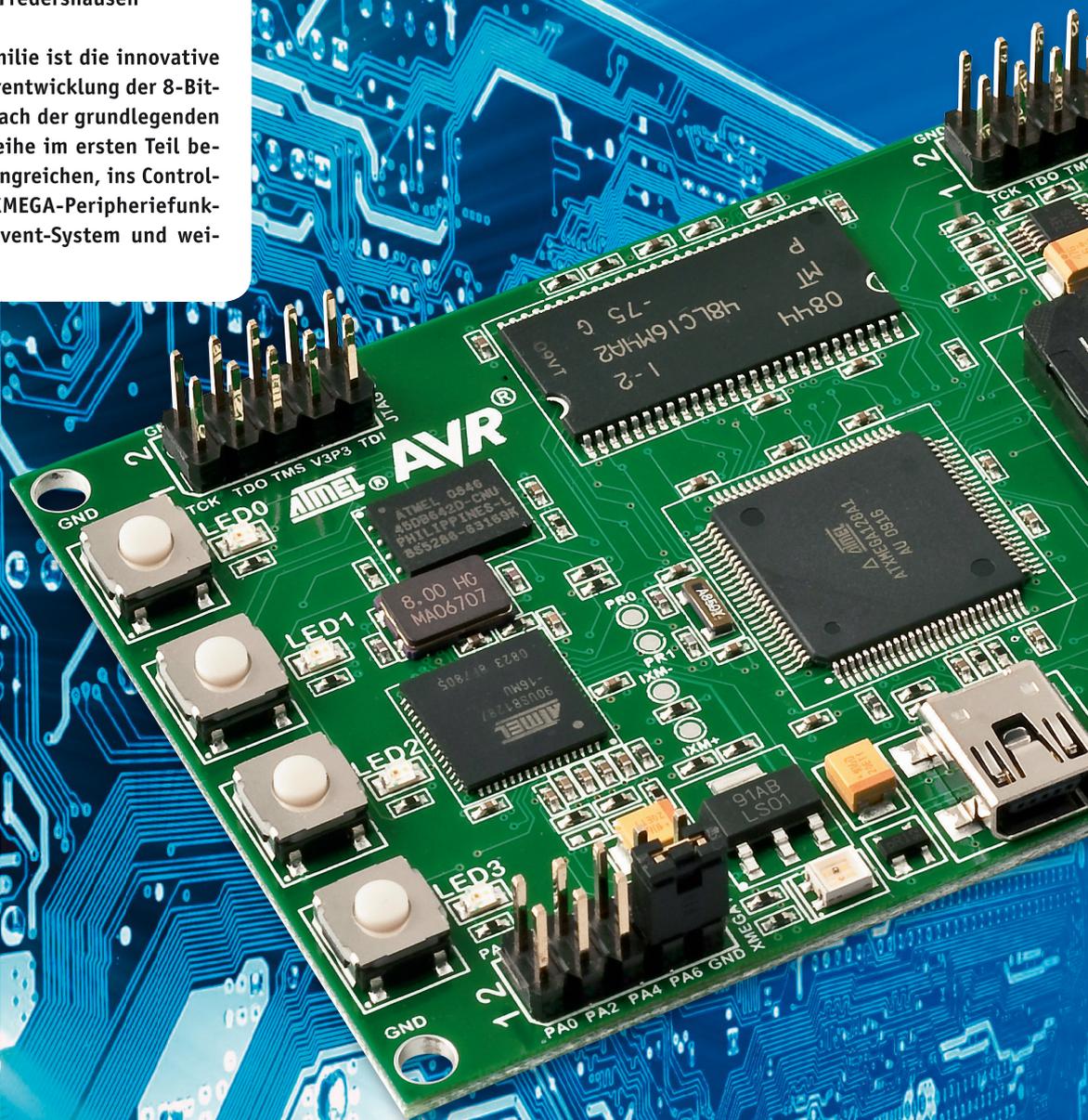


# Vom AVR zu XMEGA

## Teil 2 | Die XMEGA-Peripheriefunktionen im Detail

Autor: Dipl.-Ing. Michael Fredershausen

Die XMEGA-Controller-Familie ist die innovative und stromsparende Weiterentwicklung der 8-Bit-AVR-Controller-Familie. Nach der grundlegenden Vorstellung der XMEGA-Reihe im ersten Teil betrachten wir nun die umfangreichen, ins Controllerdesign integrierten XMEGA-Peripheriefunktionen ebenso wie das Event-System und weitere neue Features.



## Nomenklatur der XMEGA-Controller – verfügbare Derivate sind die Sub-Familien A1, A3 und A4

### XMEGA-A1-Familie (100-Pin-Gehäuse):

XMEGA A1 Typ	Flash	RAM	EEPROM
ATxmega 256A1	256 K	16 K	4 K
ATxmega 192A1	192 K	16 K	2 K
ATxmega 64A1	64 K	4 K	2 K

#### A1-Peripherie

- 2x 12-kanaliger 12-Bit-A/D-Wandler (2 Msps)
- 2x 2-kanaliger 12-Bit-D/A-Wandler (1Msps)
- 4x Analog-Komparatoren
- 8x 16-Bit-Timer/Counter mit Compare- und Capture-Funktionalität
- 8x USART, 4x TWI, 4x SPI (ein USART als IrDA nutzbar)
- 4-kanalige DMA-Unit, 8-kanaliges Event-System
- AES/DES-Crypto-Engine
- External Bus-Interface (SRAM-, SDRAM-Erweiterung)
- 100-Pin-TQFP und -CBGA
- 78 General-Purpose-I/O

### XMEGA-A3-Familie (68-Pin-Gehäuse):

XMEGA A3 Typ	Flash	RAM	EEPROM
ATxmega 256A3	256 K	16 K	4 K
ATxmega 192A3	192 K	16 K	4 K
ATxmega 128A3	128 K	8 K	2 K
ATxmega 64A3	64 K	4 K	2 K

#### A3-Peripherie

- 2x 8-kanaliger 12-Bit-A/D-Wandler (2 Msps)
- 1x 2-kanaliger 12-Bit-D/A-Wandler (1 Msps)
- 4x Analog-Komparatoren
- 7x 16-Bit-Timer/Counter mit Compare- und Capture-Funktionalität
- 7x USART, 2x TWI, 4x SPI (ein USART als IrDA nutzbar)
- 8-kanaliges Event-System, 4-kanalige DMA-Unit
- AES/DES-Crypto-Engine
- 64-Pin-TQFP und -QFN (MLF)
- 50 General-Purpose-I/O

### XMEGA-A4-Familie (44-Pin-Gehäuse):

XMEGA A4 Typ	Flash	RAM	EEPROM
ATxmega 128A4	128 K	8 K	2 K
ATxmega 64A4	64 K	4 K	1 K
ATxmega 32A4	32 K	4 K	1 K
ATxmega 16A4	16 K	2 K	1 K

#### A4-Peripherie

- 1x 12-kanaliger 12-Bit-A/D-Wandler (2 Msps)
- 1x 12-Bit-D/A-Wandler (1 Msps)
- 2x Analog-Komparatoren
- 5x 16-Bit-Timer/Counter mit Compare- und Capture-Funktionalität
- 5x USART, 3x TWI, 2x SPI (ein USART als IrDA nutzbar)
- 8-kanaliges Event-System, 4-kanalige DMA-Unit
- AES/DES-Crypto-Engine
- 44-Pin-TQFP und -QFN (MLF)
- 34 General-Purpose-I/O

## Die D-Derivate zu den Sub-Familien A1, A3, A4

Die D-Derivate lassen sich durchaus als XMEGA-Low-Cost-Varianten bezeichnen, da bei diesen Derivaten im Vergleich zu den Standard-XMEGAs Peripheriefunktionen fehlen oder eingeschränkte Funktionalität aufweisen. Bei allen D-Derivaten wurde auf den DMA-Controller, die AES/DES-Crypto-Einheit sowie den 12-Bit-D/A-Wandler verzichtet. Die verfügbaren Event-Kanäle wurden von 8 auf 4 sowie die Anzahl der nutzbaren UARTs und Timer reduziert. Darüber hinaus steht nur noch ein 12-Bit-A/D-Wandler mit einer reduzierten Abtastrate von 200 Ksps zur Verfügung. Ziel dieser Maßnahmen ist es sicherlich, Chipfläche zu sparen, um eine weitere Kostenreduktion der XMEGA-Chips zu erreichen.

## Die XMEGA-Peripheriefunktionen im Detail

### Das PLL-programmierbare Clock-System der XMEGAs

Gegenüber dem bekannten Clock-System der AVR-Controller wurde das XMEGA-Clock-System um einige vorteilhafte Neuerungen erweitert. Die XMEGA-Controller erlauben es nun, dass der Anwender zwischen mehreren Clock-Quellen via Software im aktiven

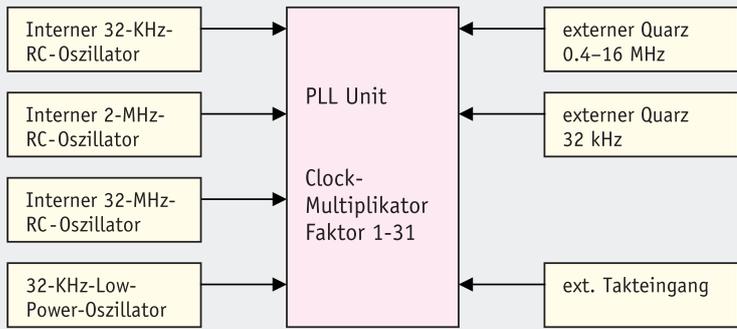


Bild 3: XMEGA-Taktquellen sowie PLL-Takt-Erzeugung

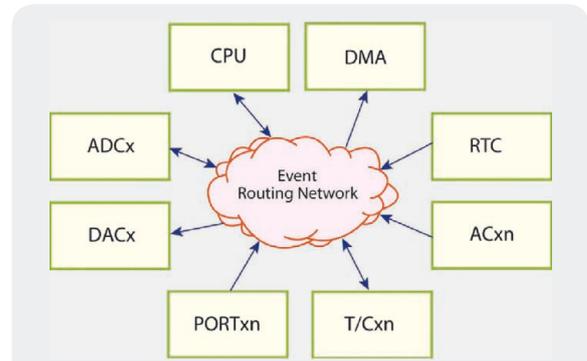


Bild 4: Das Event-Routing-Network – die Ereignis-Verkettung

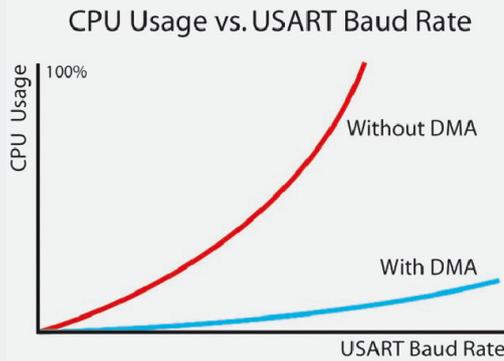


Bild 5: XMEGA-USART-Kommunikation mit und ohne DMA

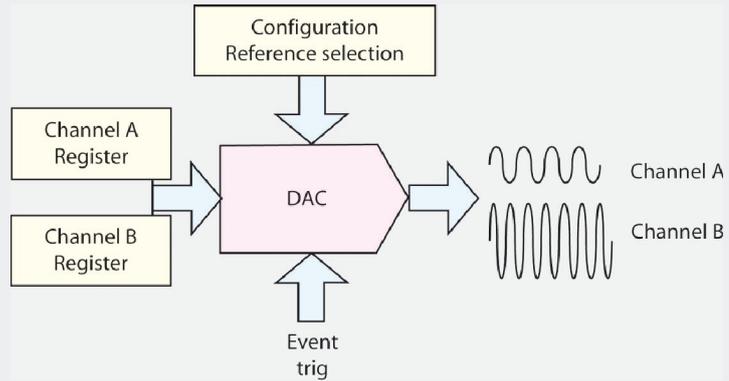


Bild 6: Aufbau des 2-kanaligen 12-Bit-D/A-Wandlers des XMEGA

Betrieb umschalten kann (siehe Bild 3). Bekanntermaßen können bei den Standard-AVRs die Clock-Quellen nicht während des Betriebes, sondern nur mittels Fuse-Programmierung ausgewählt werden. Bei den XMEGA-Controllern wurden erstmals interne RC-Oszillatoren mit hoher Temperaturstabilität integriert, die eine Genauigkeit von 1 % über den gesamten Temperaturbereich sicherstellen. Somit kann in vielen Anwendungsfällen auf externe Quarz-Resonator-Beschaltung verzichtet werden.

**XMEGA-Taktquellen sowie PLL-Takt-Erzeugung**  
**Interne Clock – PLL**

Durch Einsatz einer integrierten Phase Locked Loop (PLL) kann der Anwender nun dynamischer, d. h. während des Betriebes, die Prozessorfrequenz verändern und somit entsprechend seiner Applikation den gewünschten Leistungsverbrauch optimieren.

**Die XMEGA-Pico-Power-Technologie**

Durch Einsatz der Atmel-Pico-Power-Technologie der zweiten Generation erreichen die XMEGA-Derivate in den unterschiedlichen Betriebsarten und Power-Modi einen extrem niedrigen Stromverbrauch:

<b>Power-down Mode</b>	<b>Fmcu = 32,768 kHz RTC aktiviert</b>	<b>Fmcu = 32 kHz/ RTC aktiviert BOD, WD enabled</b>	<b>Fmcu = 12 MHz Vcc = 1,6 V</b>
100 nA	500 nA	2 µA	3,5 mA

Als weiteres Feature ist zu nennen, dass die XMEGA mit einer Betriebsspannung von minimal 1,6 V betrie-

ben werden können. Darüber hinaus wurden vom AVR bekannte Schaltungselemente wie die BOD (Brownout Detection) modifiziert, um zusätzliche Stromeinsparungen zu erzielen.

Hierzu wird der BOD-Schaltungskomplex im Sampling-Modus betrieben, d. h. die BOD-Unit wird zyklisch alle 1 ms kurz eingeschaltet, der Ausgangsstatus überprüft und dann wieder ausgeschaltet. Somit wird der Stromverbrauch dieser Einheit nur noch durch das Ein-Ausschalt-Verhältnis bestimmt.

**Das innovative Event-System der XMEGA-Controller**

Konventionelle MCUs, so auch der Standard-AVR-Controller, können auf externe und interne Ereignisse oder Anforderungen bekanntermaßen nur via Interrupt reagieren und diesen Interrupt unter Berücksichtigung von Interrupt-Latenzzeiten abarbeiten. Hierzu muss der gerade ausgeführte Programmteil unterbrochen und die jeweilige Anforderung in der Interrupt-Service-Routine abgearbeitet werden, bevor ins Hauptprogramm zurückgekehrt werden kann.

Die XMEGA-Controller gehen hier einen völlig neuen Weg, der unter Umgehung des MCU-Kerns hardwaremäßig Ereignisse (Events) oder verknüpfte Ereignisse sehr schnell, latenzfrei und somit zeitlich vorhersagbar abarbeiten kann. Es werden also zur Event-Abarbeitung keine Interrupts oder Prozessorressourcen benötigt. Vorteilhaft ist somit, dass der MCU-Core nicht zur Abarbeitung der Events herangezogen wird, sondern parallel Rechenaufgaben übernehmen kann, was dem Anwender zusätzlichen

Nutzen und Rechnerperformance verschafft. Zur Verdeutlichung der Funktion und des Nutzens der Event-Unit und des Event-Routing siehe Bild 4 sowie das nachfolgende Anwenderbeispiel.

### Anwendungsbeispiel zur Event-Unit: Data-Logging

In Data-Logging-Systemen müssen zu festen Zeiten Analogwerte abgetastet, digitalisiert und anschließend abgespeichert werden. Normalerweise wird diese Aufgabe unter Interruptnutzung realisiert. Nachfolgend wird die zeiteffektive Nutzung des Event-Systems für diese Aufgabe beschrieben: Timer 1 erzeugt beim Zählerüberlauf (Overflow) ein Ausgangssignal (Event 1), das hardwaremäßig den ADC startet. Der ADC erzeugt nun nach Beendigung der aktuellen Wandlung ein ADC-ready-Signal (Event 2), das den DMA-Controller startet, der den aktuellen Wandlungswert im Speicher ablegt. Abschließend wird dann die erfolgte Datenspeicherung dem CPU-Kern gemeldet (Event 3). Besonders geeignet ist der Einsatz der Event-Unit, wenn es darum geht, sicherheitsrelevante Aufgaben auszuführen, die nicht durch einen unvorhergesehenen Prozessorabsturz unterbrochen werden dürfen. Hierbei sind z. B. Motorsteuerungen zu nennen, die völlig autark mittels Event-Steuerung ablaufen können.

### Funktion und Wirkungsweise des 4-kanaligen inhärenten DMA-Controllers

Externe DMA-Controller (Direct Memory-Access) sind seit Jahren als MCU-Peripheriebausteine bekannt. In erster Linie dienen sie dazu, den Multi-Byte-Datentransfer zum Datenspeicher unter Umgehung des CPU-Kerns zeitlich zu optimieren. Der im XMEGA integrierte leistungsfähige 4-kanalige DMA-Controller lässt Datentransferraten von 33 Mbit/s zwischen Speicher und den Peripherie-Elementen zu. Zwischen folgenden XMEGA-Chipkomponenten ist der schnelle DMA-Datentransfer möglich:

- Memory ↔ Peripheral
- Memory → Memory
- Peripheral → Peripheral

Solche Datenraten sind mit konventionellen Controllern ohne DMA nicht erreichbar. Ohne DMA-Einsatz liegt z. B. die max. SPI-Datenrate beim XMEGA bei 1 Mbit/s, da jedes Byte von der CPU transferiert werden muss. Unter Nutzung der DMA-Einheit lässt sich diese Datenrate jedoch auf 33 Mbit/s erhöhen. Bild 5 zeigt die XMEGA-CPU-Auslastung in Abhängigkeit von der USART-Baudrate beim Betrieb mit und ohne DMA.

### Die 16-Bit-Timer/Counter – High-Speed-PWM

Alle XMEGA-Timer sind im Gegensatz zur Timerstruktur der Standard-AVRs durchgängig mit 16-Bit-Timern ausgeführt worden und verfügen jeweils über multiple Capture/Compare-Funktionalität. Durch Nutzung des High-Resolution-Modus lassen sich auf einfache Weise High-Speed-PWMs realisieren.

#### Der High-Resolution-Modus

Mittels einer zusätzlich integrierten PLL kann der

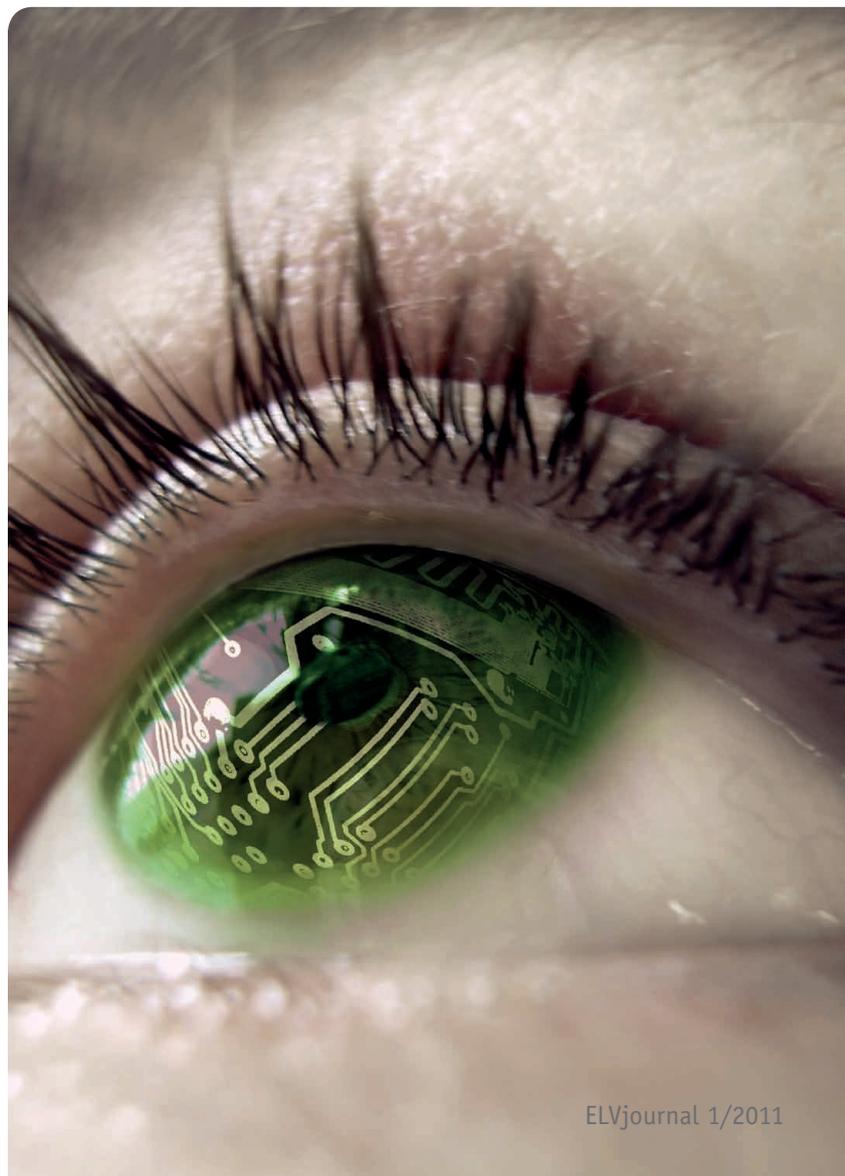
Timer-/Counter-Clock der XMEGA-Controller in 2 Schritten um die Faktoren 2 und 4 erhöht werden. Somit sind bei einer Prozessorfrequenz von 32 MHz Peripherie-Clock-Erhöhungen auf 64 bzw. 128 MHz möglich. Dieses Feature ermöglicht z. B. eine High-Speed-PWM-Generierung mit einer max. PWM-Frequenz von 128 MHz, die den einfachen Aufbau von PWM-gesteuerten D/A-Wandlern mit extern angeordneter Tiefpassfilterung ermöglicht.

### Externes Businterface (EBI) zur Anbindung von SRAM, SDRAM

Bei allen Familienmitgliedern der A1-Familie ist ein externes Businterface integriert worden, so dass max. 16 MB externes SRAM oder max. 128 Mbit SDRAM adressiert werden können. Hardwaremäßig wird die SRAM-Anbindung über einen gemultiplexten Adress- und Datenbus ermöglicht.

### Die High-Speed-12-Bit-A/D-Wandler

In der industriellen Messtechnik werden die Anforderungen an die schnelle, hochauflösende Digitalisierung von Analog-Signalen wie z. B. Sensorsignalen immer höher. Bis jetzt konnten schnelle A/D-Wandler mit Auflösungen von 12 Bit nicht auf dem Prozessor-Chip integriert werden, sondern mussten, unter Aufwendung von zusätzlichen Kosten, extern angeordnet werden. Konventionelle 8-Bit-MCUs verfügen in der Regel über inhärente A/D-Wandler mit Auflösungen



von 8 bis 10 Bit und typ. Abtastraten von 200 Ksps. Beim XMEGA wurden erstmals 2 völlig autarke, hochauflösende 12-Bit-A/D-Wandler-Kerne implementiert, die eine Abtastrate von max. 2 Millionen Sample pro Sekunde ermöglichen. Bild 6 zeigt den grundsätzlichen Aufbau. Wahlweise können darüber hinaus bis zu 16 Analog-Kanäle via internem Multiplexer gemultiplext und gewandelt werden.

#### A/D-Wandler-Kenndaten der XMEGA-Familie

- 12-Bit-Auflösung, Sampling-Rate: 2 Msps
- Single oder Continuous Conversion-Mode
- 8- oder 12-Bit-Auflösung mittels Software einstellbar
- Integrierte Referenzspannung On-Chip verfügbar
- Integrierter programmierbarer Verstärker
- Beschaltung mit externer Referenzspannungsquelle möglich
- Wandlungszeiten: 8-Bit-Ergebnis: 2,5  $\mu$ s; 12-Bit-Ergebnis: 3,5  $\mu$ s
- Event-Generierung durch A/D-Wandler-Ergebnisse

#### High-Speed-12-Bit-D/A-Wandler des XMEGA

Der schnelle, inhärente 2-kanalige D/A-Wandler ist in der Lage, Analogspannungen mit 1 Msps an seinen Analog-Ausgängen bei einer Settling-Time von 1  $\mu$ s auszugeben. Um Offset- und Gain-Fehler zu vermeiden, werden diese Fehler chipintern automatisch kompensiert. Des Weiteren hat der Anwender den großen Vorteil, dass er keine extern angeordneten Operationsverstärker zur Strom-/Spannungswandlung benötigt, da die XMEGA-D/A-Wandler schon Spannungsausgänge besitzen. Dieses Feature spart Kosten und vor allem wertvollen Platz auf der Leiterplatte. Darüber hinaus kann der D/A-Wandler-Kern sehr zeiteffizient mit dem Event-System und der DMA-Unit zusammenarbeiten.

#### Die analogen Komparatoren der XMEGA-Controller

Die XMEGA-Controller verfügen nunmehr über maximal 4 schnelle Analog-Komparatoren, bei denen die Komparatorausgänge auf Portpins herausgeführt wurden.

Somit ist der Anwender in der Lage, unter Nutzung von zwei externen Widerständen die Komparator-Hysterese entsprechend seinen Anforderungen einzustellen. Darüber hinaus kann der Anwender auch feste, via Software einstellbare Hystereseschwellen nutzen sowie 2 Komparatoren zusammenschalten und somit einen Fensterkomparator realisieren.

#### Komparator-Highlights

- 50 ns Delay im High-Speed-Modus (130  $\mu$ A)
- 500 ns Delay im Low-Power-Modus (20  $\mu$ A)
- Via Software einstellbare Hysterese: 0,20, 50 mV
- Alle Komparatorausgänge auf Portpins geführt
- DAC-Ausgang kann auf die Komparatoreingänge geführt werden
- Interne Spannungreferenz kann auf die Komparatoreingänge geführt werden
- Komparatorausgangssignale können Events generieren

ELV

### XMEGA Evaluation-Boards Toolübersicht:



#### JTAGICE mkII

Hier ist in erster Linie das schon von den Standard-AVR-Controllern her bekannte Tool JTAGICE mkII zu nennen. Das Tool kann für JTAG- sowie PDI-Debugging sowie die Programmierung der XMEGA-Derivate eingesetzt werden. Über weitere verfügbare Tools können Sie sich auf der Atmel-Homepage informieren.



#### STK600 Evaluation-Board

Neues Starterkit, das zur Entwicklungsunterstützung sowie zur Programmierung der XMEGA-Controller, der Standard-AVRs sowie der neuen 32-Bit-AVR32-Controller eingesetzt werden kann.



#### XMEGA Evaluation-Board XPLAIN

Interessantes Low-Cost-Kit, basierend auf dem ATxmega 128A1, zum einfachen Test der XMEGA-Peripherie sowie der Analog-Features.

#### Board-Features:

- Spannungsversorgung via USB
- Externer Speicher: 8 MB SDRAM, 8 MB Data-Flash
- 8x LEDs, 8x Tasten
- 1x Temperatursensor, 1 Poti zum Testen des 12-Bit-ADCs
- 1x Miniatur-Lautsprecher zum Testen des 12-Bit-DACs