

Logische Experimente

Prototypenadapter PAD6 mit CMOS-Logik

Teil 1

Unser neues 32-teiliges CMOS-Logiklevel-Modul- und Funktionsplatinen-Set PAD6 ermöglicht Logikschaltungen auf dem Breadboard. Das typische Prototypenadapter-Format gewährt die Steckbrett-Kompatibilität von Bauteilen, die nicht im üblichen 2,54-mm-Rasterformat vorliegen oder nicht mechanisch passen. Zudem sind durch die aufgedruckten Anschlussbeschriftungen alle Funktionen auf einen Blick ersichtlich. So sind Experimentierschaltungen einfach und übersichtlich realisierbar. In Kombination mit den bereits als Bausatz angebotenen Prototypenadapter-Sets PAD1-4 [1] erweitern wir damit die Möglichkeiten für Breadboard-Experimentierschaltungen um Logikmodule. Zudem können Schaltungen, die auf unserem Digital-Experimentierboard DEB100 [2] getestet wurden, nun auch mit Einzelmodulen auf dem Steckbrett nachgebaut werden.

PAD6
 Artikel-Nr. 155858
 Bausatzbeschreibung und Preis:

www.elv.com

i Infos zum Bausatz PAD6

- Schwierigkeitsgrad:** leicht
- Ungefähre Bauzeit:** 1 h
- Verwendung SMD-Bauteile:** SMD-Teile sind bereits komplett bestückt
- Besondere Werkzeuge:** LötKolben
- Lötverfahren:** ja
- Programmierkenntnisse:** nein
- Elektrische Fachkraft:** nein

Experimentieren mit CMOS-Logik

Nachdem wir im ELVjournal 4/2019 das Digital-Experimentierboard DEB100 (Bild 1, [2]) vorgestellt haben, sind im Prototypenadapter-Set PAD6 nun die CMOS-Logikbausteine plus zusätzlicher Module wie z. B. NOR-Gatter, ein Monoflop usw. separat verfügbar.

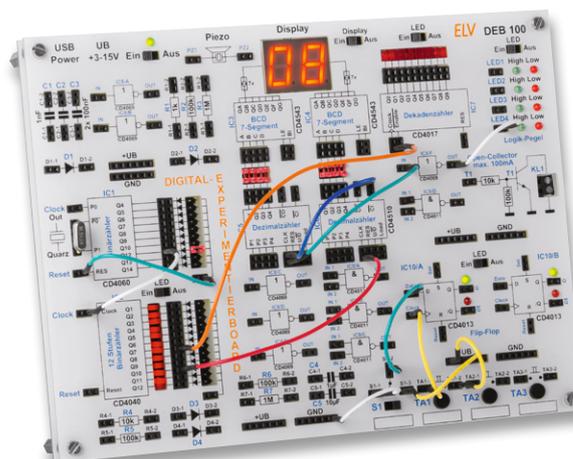


Bild 1: ELV Bausatz Digital-Experimentierboard DEB100



Übersicht aller im PAD6 enthaltenen Bauteile

Menge	Typ	Funktion	Pin-Kompatibel ⇒ DIP	Seite
2	CD4081	4x UND-Gatter mit je 2 Eingängen	ja	63
2	CD4011	4x NAND-Gatter mit je 2 Eingängen	ja	64
1	CD4025	3x NOR mit je 3 Eingängen	nein	65
2	CD4072	2x ODER-Gatter mit je 4 Eingängen	ja	66
2	CD4069	6x Inverter	ja	67
3	CD4013	1x D-Flip-Flop	nein	68
2	CD4040	12-stufiger Binärzähler	nein	70
2	CD4060	14-stufiger Binärzähler mit Oszillator	nein	72
2	CD4510	Dezimalzähler (aufwärts/abwärts)	nein	in Teil 2, ELVJournal 3/2021
1	CD4017	Dezimalzähler mit 10 Ausgängen	nein	in Teil 2, ELVJournal 3/2021
2	CD4052	1x Multiplexer 1 aus 4	nein	in Teil 2, ELVJournal 3/2021
2	HEF4094	8-Bit Schieberegister mit parallelen Ausgängen	nein	in Teil 2, ELVJournal 3/2021
2	CD4098	1x Monoflop (Monostabiler Multivibrator)	nein	in Teil 2, ELVJournal 3/2021
2	CD4543	BCD zu 7-Segment-Decoder	nein	in Teil 2, ELVJournal 3/2021
1	CD4543 mit LED-7-Segment-Anzeige			in Teil 2, ELVJournal 3/2021
1	8-fach Logik-Level-Anzeige (High/Low)			in Teil 2, ELVJournal 3/2021
1	Sound-Transduzer 2 kHz			in Teil 2, ELVJournal 3/2021
1	3-fach Taster			in Teil 2, ELVJournal 3/2021
1	8-fach DIP-Schalter			in Teil 2, ELVJournal 3/2021

Tabelle 1

CMOS-Logik war, neben TTL, bis Ende der 1990er-Jahre eine beliebte Technik, um logische Verknüpfungen und Steuerelektronik zu realisieren. Durch logisches Denken und mit einer gewissen technischen Erfahrung konnte jeder auch ohne Programmierkenntnisse solche Schaltungen entwickeln. Dies änderte sich, als preisgünstige Mikrocontroller und die dazugehörigen Entwicklungsumgebungen auf den Markt kamen. Die „IC-Gräber“ verschwanden und wurden durch Mikrocontroller ersetzt.

Heute könnte man CMOS-Logik eher als „retro“ bezeichnen, doch die Nostalgie bleibt. Mit einfachen Logikbausteinen lässt sich Digitaltechnik nun mal sehr schön erklären und erlernen.

Wissenswertes über CMOS

Allgemein

CMOS beschreibt eine sehr stromsparende Technik, die auf den Einsatz von P-Kanal- und N-Kanal-Feldeffekttransistoren basiert. Diese Technik ist vor allem bei Logikbausteinen zu finden. Die stromsparende Eigenschaft macht diese Technik vor allem für batteriebetriebene Geräte interessant.

Spannung

Die CMOS-Logikfamilie arbeitet, im Gegensatz zu TTL-Logik, mit einem weiten Betriebsspannungsbereich von 3–15 V. Einige Bausteine arbeiten sogar schon mit einer Betriebsspannung von 1,5 V.

Unbeschaltete Eingänge

Ein wichtiger Aspekt, der beim Einsatz von CMOS-Logik gerne übersehen wird, ist die Beschaltung nicht genutzter Eingänge. CMOS-Eingänge von Logikbausteinen weisen einen extrem hohen Eingangswiderstand auf. Diese wirken (unbeschaltet) wie Antennen

und fangen sich unter Umständen Störungen aller Art ein. Deshalb lautet eine Grundregel der Digitaltechnik: Eingänge immer definiert abschließen und nie unbeschaltet lassen!

Zuerst wird solch ein Fehler nicht bemerkt – denn alles funktioniert. Doch plötzlich funktioniert die Schaltung nicht mehr oder einige Bausteine weisen eine Schwingneigung auf, die wiederum die ganze Sache noch verschlimmert. Wer sich die Schaltbilder unserer PAD6-Module anschaut, stellt fest, dass alle Eingänge mit einem Widerstand beschaltet sind. Entweder gegen +UB oder gegen Masse. In der Regel sind die Defaulteinstellungen aktiviert, sodass man ohne große Konfiguration der Eingänge loslegen kann. Am Beispiel CD4510 (Bild 2) ist dies gut zu erkennen. Hier braucht man nur noch den Takt anzulegen und der Zähler funktioniert.

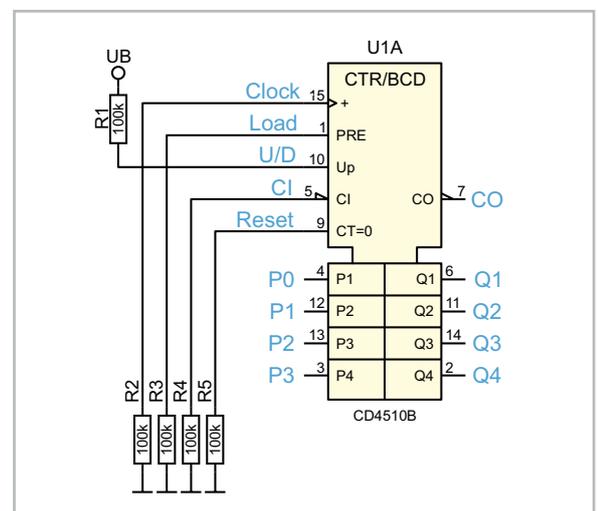


Bild 2: Schaltbild des CD4510



DIP-Kompatibilität

Mit dieser Kompatibilität ist gemeint, dass der PAD6-Baustein direkt durch einen CMOS-Baustein im DIP-Gehäuse ersetzt werden kann, da die Pinbelegung identisch ist. Ob ein Modul kompatibel ist, ist der [Tabelle 1](#) zu entnehmen. In [Bild 3](#) ist ein Vergleich eines DIP-kompatiblen PAD6-Moduls mit dem entsprechenden IC im DIP-Gehäuse zu sehen.

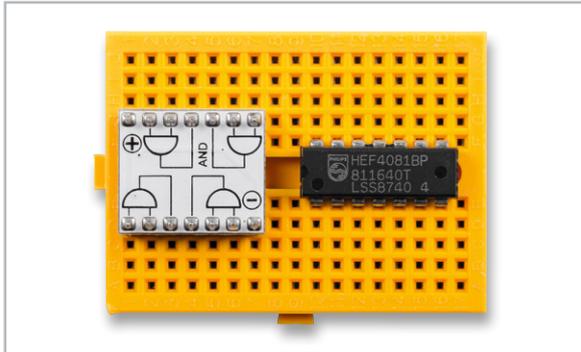


Bild 3: Einige PAD6-Module sind Pin-kompatibel mit DIP-Bausteinen.

Bezeichnungen der Symbole

Für die Schaltzeichen und Normsymbole von Logikgattern gibt es zahlreiche unterschiedliche Darstellungsweisen. In [Bild 4](#) sind die relevantesten Symbole entsprechend ihrer Norm dargestellt.

In Deutschland wurde bis 1978 die Norm 40700 angewendet. Heute ist in Deutschland und auch Teilen der EU die neue Norm IEC 60617-12 gültig. Im internationalen Ausland sieht das ganz anders aus. Dort wird die internationale Norm ANSI 91-1984 (American National Standards Institute) angewendet.

In unseren Schaltbildern verwenden wir die Norm IEC 60617-12. Aus Platzgründen benutzen wir bei einigen Modulen (Gatter) für den Platinaufdruck (Silkscreen) die Norm 40700, da die Details in dem kleinen Format schwer erkennbar sind.

Schaltsymbol		
IEC 60617-12 (EU)	DIN 40700 (Alt)	ANSI 91-1984 (US)

Bild 4: Schaltsymbole für Logikbausteine im Vergleich (Beispiel UND-Gatter)

ELV[®] journal präsentiert: Die ELV Lese-Offensive



Kostenlose Fachbeiträge
zum Download



Kennen Sie schon unsere ELVjournal Lese-Offensive? Im ELVjournal online finden Sie annähernd 100 kostenlose Fachbeiträge aus den Bereichen Maker, Neues vom Elektronik-Nachwuchs, Leser-Testberichte, Smart Home mit Homematic und Technik-Produkte.

Als reiner Print-Abonnent können Sie so testen, wie sich das ELVjournal online und damit jederzeit und überall lesen lässt. Wenn Sie das ELVjournal gerade kennengelernt haben, entdecken Sie hier die Themenvielfalt und stöbern unverbindlich in den Beiträgen aus der Welt der Technik.

Wir wünschen Ihnen auf jeden Fall viel Spaß mit dem ELVjournal – ob nun on- oder offline.

Starten Sie jetzt unter:

<https://de.elv.com/journal/service/kostenlose-fachbeitraege/> oder scannen Sie ganz einfach den QR-Code.



Maker

Raspberry Pi, Arduino,
3D-Drucker und
Elektronik-Themen

Spaß mit Elektronik

Neues vom
Elektronik-Nachwuchs

Leser testen

Spannende Berichte
von Lesern zu Produkten

Homematic

Hier dreht sich alles
um das Smart Home
mit Homematic

So funktioniert's

Interessante Beiträge zu
Technik-Produkten



CD4081 – 4x AND-Gatter mit je 2 Eingängen

Funktion

Der CD4081 vereint vier klassische AND-Gatter (UND-Gatter) in einem Baustein. Die Funktion ist einfach erklärt und in **Bild 5** als Wahrheitstabelle veranschaulicht. Der Ausgang (OUT) wechselt nur dann auf High, wenn beide Eingänge (IN1 und IN2) gleichzeitig auf High-Pegel liegen.

In **Bild 6** ist das Foto vom CD4081-Modul dargestellt. Das Schaltbild mit der Belegung der Stiftleisten ist in **Bild 7** zu sehen. Wie bei allen Bausteinen üblich, wird die Betriebsspannung mit einem Kondensator (1 µF/50 V) geblockt (stabilisiert).

Die Eingänge sind jeweils mit einem Widerstand nach Masse geschaltet (siehe Abschnitt „Unbeschaltete Eingänge“). So wird verhindert, dass nicht benutzte Gatter und Eingänge „floaten“ und eventuell schwingen.

Daten

CD4081 – 4x AND-Gatter mit je 2 Eingängen

Bezeichnung:	CD4081, HEF4081, HCF4081, MC144081, MOS4081
Typ:	CMOS AND-Gatter (UND) mit je 2 Eingängen
Modulbezeichnung:	CM-IC-CD4081B
DIP-kompatibel:	ja
Betriebsspannung:	3–15 V
Verzögerungszeit:	60 ns @ UB=10 V
Ausgangsstrom:	6 mA (typ.)/Gatter

Bild 5: Wahrheitstabelle CD4081

Funktion			Schaltsymbol		
AND-Gatter			IEC 60617-12 (EU)	DIN 40700 (Alt)	ANSI 91-1984 (US)
IN 1	IN 2	OUT			
0	0	0			
1	0	0			
0	1	0			
1	1	1			
OUT = IN 1 ∧ IN 2					

Bild 6: CD4081-Modul

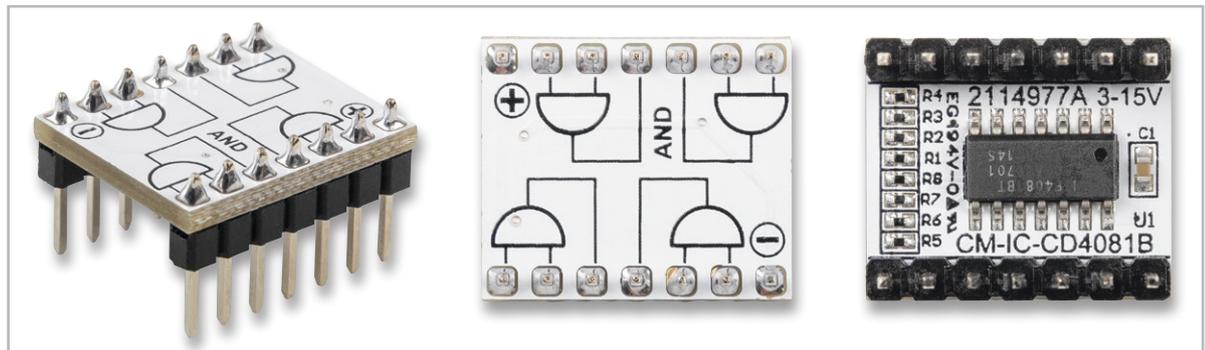
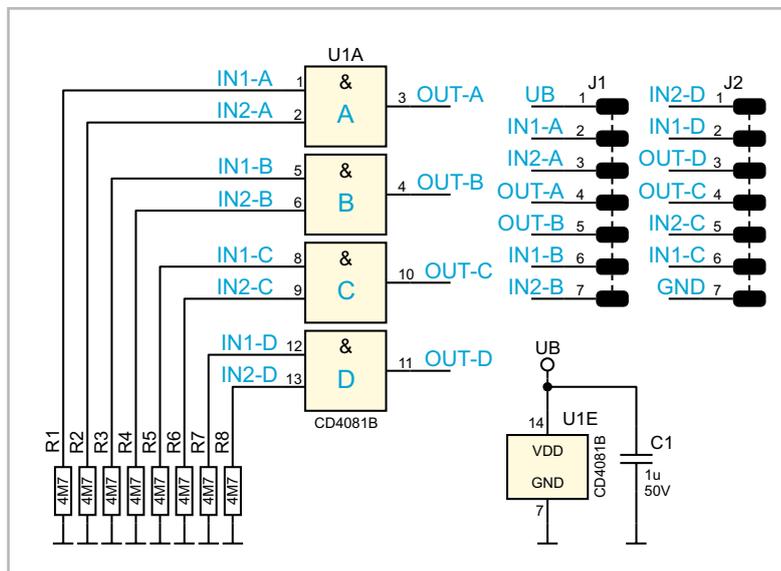


Bild 7: Schaltbild des Moduls CD4081





CD4011 – 4x NAND-Gatter mit je 2 Eingängen

Funktion

Der CD4011 vereint vier NAND-Gatter in einem Baustein. Der Begriff „NAND“ leitet sich aus den beiden englischen Begriffen „not“ und „and“ ab. Auf Deutsch würde man sagen, es ist ein „Nicht-Und“. Im Prinzip ist es ein AND-Gatter (UND-Gatter), wie beispielsweise das im vorherigen Abschnitt beschriebene CD4081, mit nachgeschaltetem Inverter. Die Funktion lässt sich am einfachsten in der hier aufgeführten Wahrheitstabelle erkennen (Bild 8). Der Ausgang „OUT“ geht nur dann auf Low, wenn beide Eingänge gleichzeitig auf High sind. In Bild 9 ist das Foto vom CD4011-Modul mit einzelnen Gattern im Platinaufdruck zu sehen. Bild 10 zeigt das Schaltbild des CD4011 so, wie es in unserer Schaltung verwendet wird. In einem Baustein stehen vier Gatter mit je zwei Eingängen zur Verfügung. Die Eingänge sind jeweils mit einem Widerstand nach Masse geschaltet (siehe Abschnitt „Unbeschaltete Eingänge“). So wird verhindert, dass nicht benutzte Gatter und Eingänge „floaten“ und eventuell schwingen.

Bild 8: Wahrheitstabelle CD4011

Funktion			Schaltsymbol		
NAND-Gatter			IEC 60617-12 (EU)	DIN 40700 (Alt)	ANSI 91-1984 (US)
IN 1	IN 2	OUT			
0	0	1			
1	0	1			
0	1	1			
1	1	0			
$\text{OUT} = \overline{\text{IN 1} \wedge \text{IN 2}}$					

Bild 9: CD4011-Modul

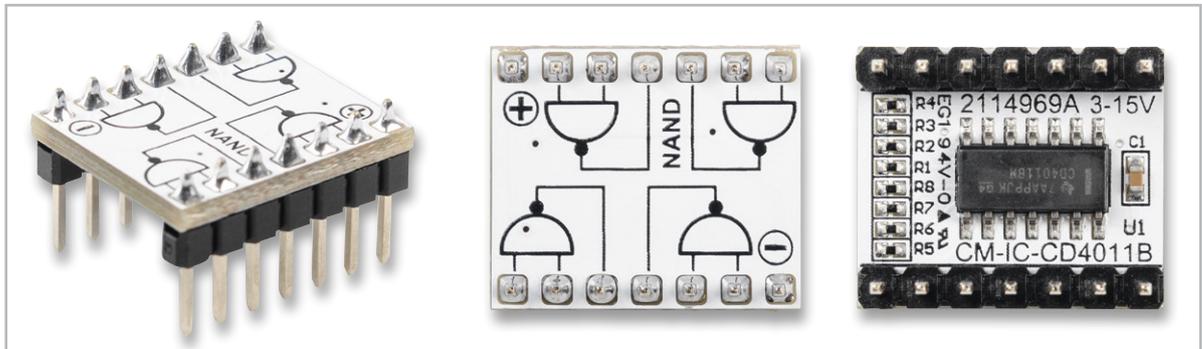
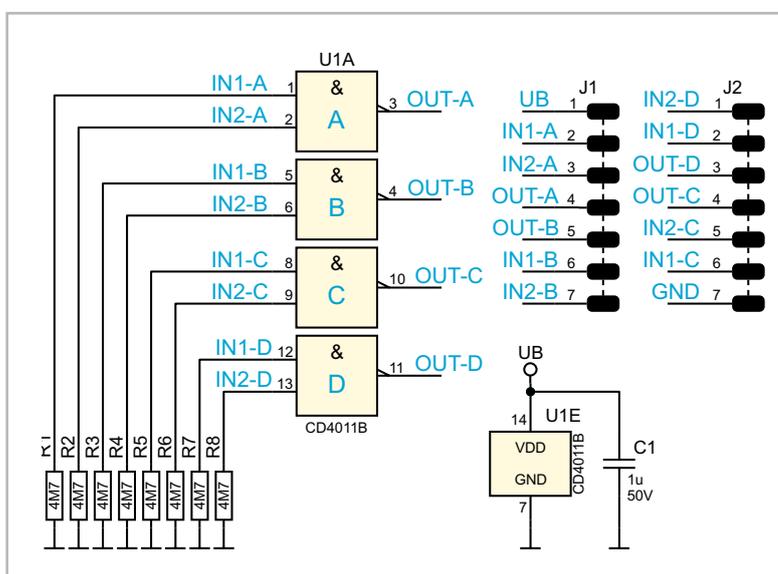


Bild 10: Schaltbild des Moduls CD4011



Daten

CD4011 – 4x NAND-Gatter mit je 2 Eingängen

Bezeichnung:	CD4011, HEF4011, HCF4011, MC144011, MOS4011
Typ:	CMOS NAND-Gatter (NICHT-UND) mit je 2 Eingängen
Modulbezeichnung:	CM-IC-CD4011B
DIP-kompatibel:	ja
Betriebsspannung:	3–15 V
Verzögerungszeit:	60 ns @ UB = 10 V
Ausgangsstrom:	6 mA (typ.)/Gatter



CD4025 – 3x NOR-Gatter mit je 3 Eingängen

Funktion

Der CD4025 vereint drei NOR-Gatter in einem Baustein. Der Begriff „NOR“ leitet sich aus den beiden englischen Begriffen „not“ und „or“ ab. Sobald ein Eingang auf High wechselt, geht der Ausgang „OUT“ auf Low. Dabei ist es unerheblich, ob nur ein Eingang oder mehrere Eingänge auf High liegen. Im CD4025 sind drei unabhängige NOR-Gatter verfügbar. Die Funktion ist einfach erklärt und in **Bild 11** als Wahrheitstabelle veranschaulicht. In **Bild 12** ist das CD4025-Modul dargestellt.

Wie man im Schaltbild (**Bild 13**) erkennt, sind alle Eingänge mit einem Widerstand 4,7 MΩ nach Masse beschaltet. Somit ist sichergestellt, dass nicht benutzte Gatter definierte Logikpegel an Eingängen aufweisen.

Daten

CD4025 – 3x NOR-Gatter mit je 3 Eingängen	
Bezeichnung:	CD4025, HEF4025, HCF4025, MC144025, MOS4025
Typ:	CMOS NOR-Gatter (NICHT-ODER) mit je 3 Eingängen
Modulbezeichnung:	CM-IC-CD4025B
DIP-kompatibel:	ja
Betriebsspannung:	3–15 V
Verzögerungszeit:	60 ns @ UB = 5 V
Ausgangsstrom:	0,5 mA (typ.)/Gatter

Funktion				Schaltsymbol		
NOR-Gatter				IEC 60617-12 (EU)	DIN 40700 (Alt)	ANSI 91-1984 (US)
IN 1	IN 2	IN 3	OUT			
0	0	0	1			
1	0	0	0			
0	1	0	0			
0	0	1	0			
OUT = $\overline{\text{IN 1} \vee \text{IN 2} \vee \text{IN 3}}$						

Bild 11: Wahrheitstabelle CD4025

Bild 12: CD4025-Modul

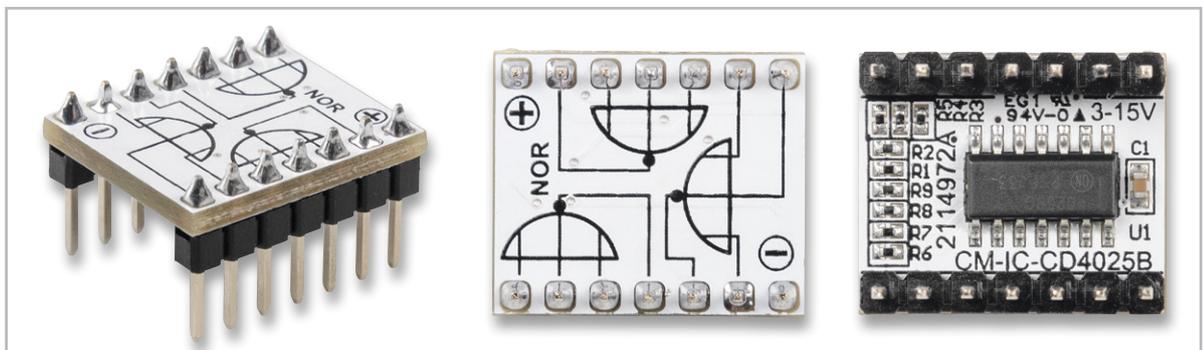
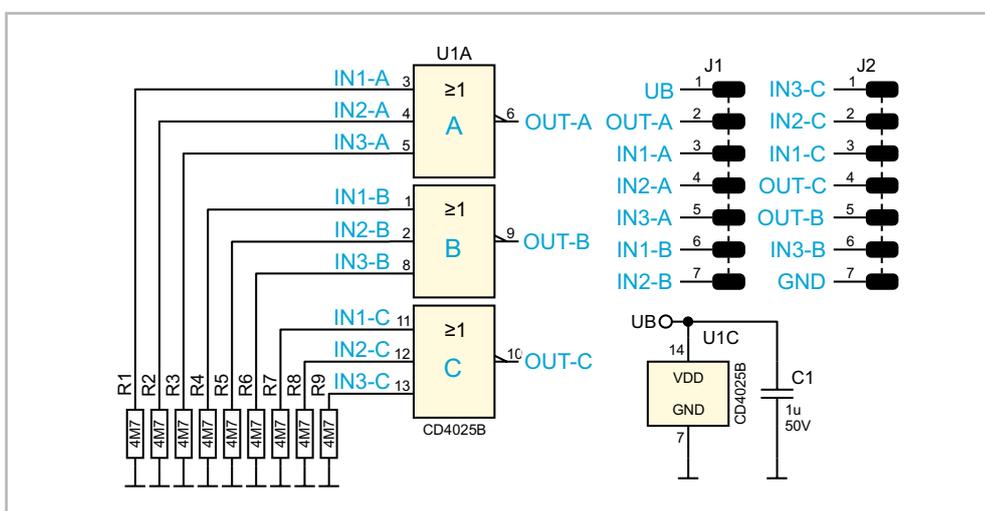


Bild 13: Schaltbild des Moduls CD4025





CD4072 – 2x OR-Gatter mit je 4 Eingängen

Funktion

Der CD4072 vereint zwei OR-Gatter in einem Baustein. Sobald ein Eingang auf High wechselt, geht der Ausgang „OUT“ auf High. Dabei ist es unerheblich, ob nur ein Eingang oder mehrere Eingänge auf High liegen. Im CD4072 sind zwei unabhängige OR-Gatter verfügbar. Die Funktion ist in Bild 14 als Wahrheitstabelle veranschaulicht. In Bild 15 ist das Foto vom CD4072-Modul dargestellt

Wie man im Schaltbild (Bild 16) erkennt, sind alle Eingänge mit einem Widerstand 4,7 MΩ nach Masse beschaltet. Somit ist sichergestellt, dass nicht benutzte Gatter definierte Logikpegel an Eingängen aufweisen.

Daten

CD4072 – 2x OR-Gatter mit je 4 Eingängen

Bezeichnung: CD4072, HEF4072, HCF4072, MC144072, MOS4072
 Typ: CMOS OR-Gatter (ODER) mit je 4 Eingängen
 Modulbezeichnung: CM-IC-CD4072B
 DIP-kompatibel: ja
 Betriebsspannung: 3–15 V
 Verzögerungszeit: 190 ns @ UB = 5 V
 Ausgangsstrom: 0,5 mA (typ.)/Gatter

Bild 14: Wahrheitstabelle CD4072

Funktion					Schaltsymbol		
OR-Gatter					IEC 60617-12 (EU)	DIN 40700 (Alt)	ANSI 91-1984 (US)
IN 1	IN 2	IN 3	IN 4	OUT			
0	0	0	0	0			
1	0	0	0	1			
0	1	0	0	1			
0	0	1	0	1			
0	0	0	1	1			
OUT = IN 1 ∨ IN 2 ∨ IN 3 ∨ IN 4							

Bild 15: CD4072-Modul

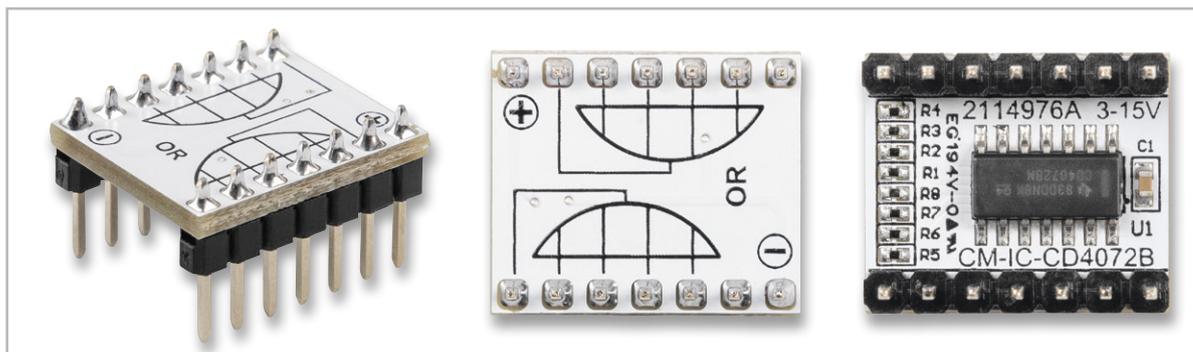
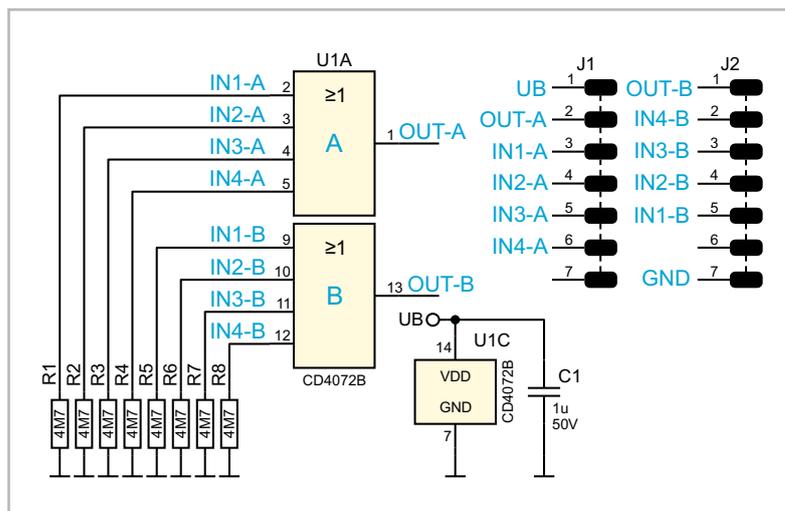


Bild 16: Schaltbild des Moduls CD4072





CD4069 – 8x Inverter (NOT)

Funktion

Der CD4069 enthält sechs Inverter (NOT) in einem Baustein. Sobald ein Eingang auf High wechselt, geht der Ausgang „OUT“ auf Low. Das Eingangssignal wird somit invertiert. Die Funktion ist in Bild 17 als Wahrheitstabelle veranschaulicht. In Bild 18 ist das Foto vom CD4069-Modul dargestellt.

Wie man im Schaltbild (Bild 19) erkennt, sind alle Eingänge mit einem Widerstand 4,7 MΩ nach Masse beschaltet. Somit ist sichergestellt, dass nicht benutzte Gatter definierte Logikpegel an Eingängen aufweisen.

Daten

CD4069 – 8x Inverter (NOT)

Bezeichnung:	CD4069, HEF4069, HCF4069, MC144069, MOS4069
Typ:	CMOS NOT-Gatter (NICHT) mit je 1 Eingang
Modulbezeichnung:	CM-IC-CD4069B
DIP-kompatibel:	ja
Betriebsspannung:	3–15 V
Verzögerungszeit:	50 ns @ UB=5 V
Ausgangsstrom:	0,5 mA (typ.)/Gatter

Bild 17: Wahrheitstabelle CD4069

Funktion		Schaltsymbol		
NOT-Gatter		IEC 60617-12 (EU)	DIN 40700 (Alt)	ANSI 91-1984 (US)
IN 1	OUT			
0	1			
1	0			
OUT = $\overline{\text{IN 1}}$				

Bild 18: CD4069-Modul

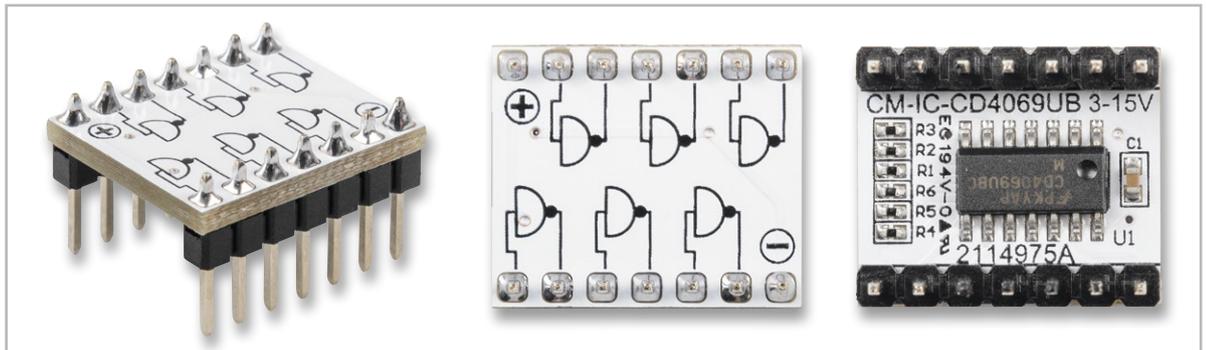
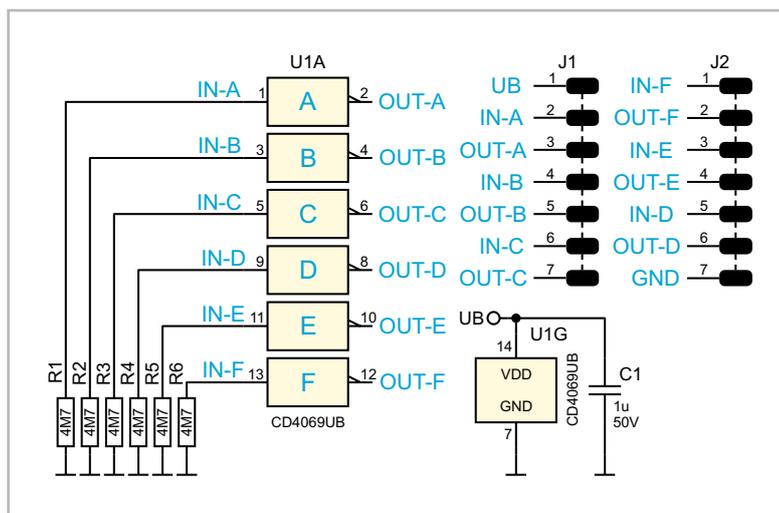


Bild 19: Schaltbild des Moduls CD4069





CD4013 – D-Flip-Flop

Funktion

Der CD4013 vereint zwei D-Flip-Flops in einem Gehäuse. In **Bild 20** ist die Schaltung des CD4013 zu sehen. In unserem Modul nutzen wir wegen der besseren Übersicht nur eins der beiden Flip-Flops. Dieses Flip-Flop kann auf zwei unterschiedliche Arten betrieben werden.

Im getakteten Modus (**Bild 21**) werden die Eingänge Clock (Takt) und der Dateneingang genutzt. Der Set- und der Reset-Eingang müssen in dieser Betriebsart auf Masse (Low-Pegel) liegen. Bei jedem Low-High-Wechsel am Clock-Eingang wird der momentane Pegel am D-Eingang auf den Q-Ausgang übertragen und gespeichert.

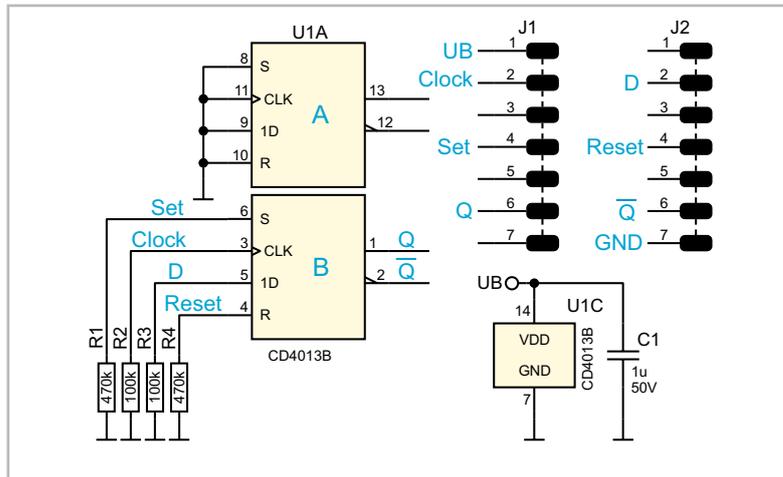


Bild 20: Schaltbild des Moduls CD4013

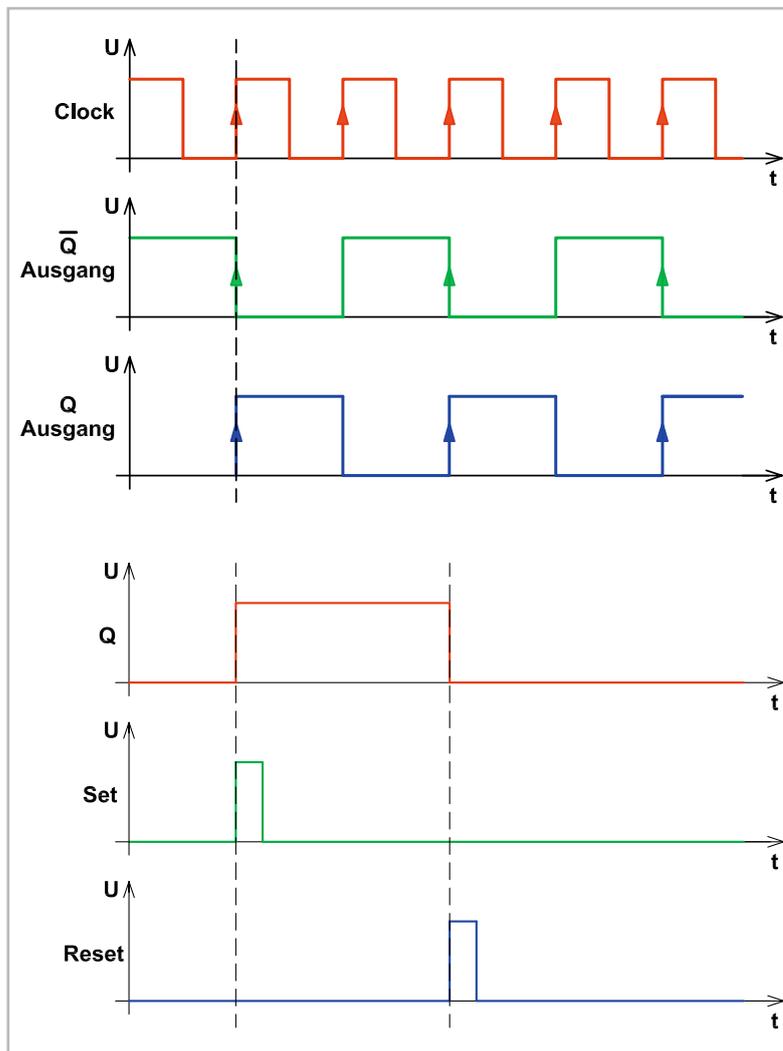


Bild 22: Die verschiedenen Modi des CD4013

CD4013 – D-Flip-Flop

Bezeichnung:	CD4013, HEF4013, HCF4013, MC144013, MOS4013
Typ:	CMOS D-Flip-Flop
Modulbezeichnung:	CM-IC-CD4013B
DIP-kompatibel:	nein
Betriebsspannung:	3–15 V
Taktfrequenz:	3,5 MHz @ UB = 5 V 10 MHz @ UB = 10 V
Ausgangsstrom:	0,4 mA ohne Last

Daten

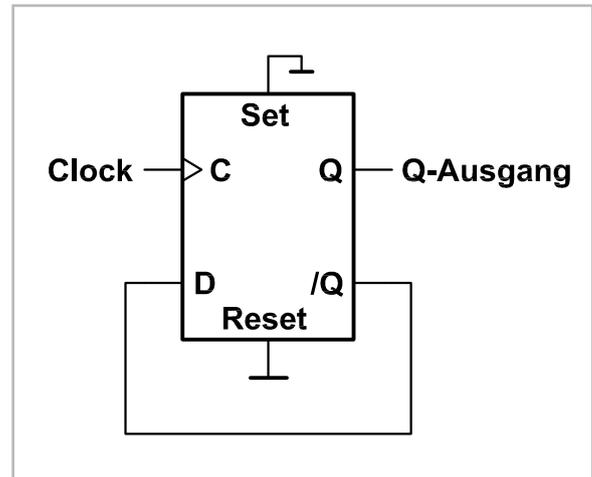


Bild 21: So wird aus einem D-Flip-Flop ein T-Flip-Flop.

Da es sich um eine Flip-Flop-Schaltung handelt, verhält sich der /Q-Ausgang immer entgegengesetzt zum Q-Ausgang, was auch als Kippstufe bezeichnet wird. Liegt während des Low-High-Wechsels (positive Flanke) ein High am D-Eingang, wird auch der Ausgang Q High führen. Verbindet man den /Q-Ausgang mit dem D-Eingang, erhält man ein T-Flip-Flop, das bei jedem Taktsignal an Clock seinen Ausgangszustand ändert (**Bild 22**). Im oberen Teil von **Bild 22** sind hierfür die Signalverläufe dargestellt.

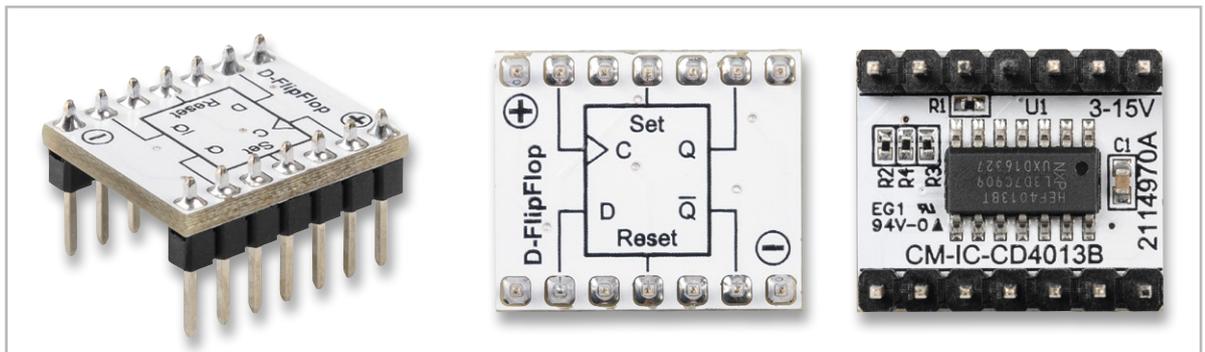
Die zweite Betriebsart arbeitet mit den Eingängen „Set“ und „Reset“. Ein High am Eingang „Set“ setzt das Flip-Flop ($Q = H$ und $/Q = L$). Mit einem High am Reset-Anschluss wird das Flip-Flop zurückgesetzt. Auch hierfür ist im unteren Teil von **Bild 22** ein Signal-diagramm dargestellt.

Es können aber auch beide Betriebsarten miteinander kombiniert werden. In der Wahrheitstabelle (**Bild 23**) sind alle möglichen Pegelzustände an den Eingängen und deren Auswirkung dargestellt. **Bild 24** zeigt das CD4013-Modul.



Clock	D (Data)	Set	Reset	Q-Ausgang	/Q-Ausgang	Funktion
	1	0	0	1	0	Daten (H) an „D“ werden gespeichert
	0	0	0	0	1	Daten (L) an „D“ werden gespeichert
X	X	1	0	1	0	Flip-Flop wird gesetzt
X	X	0	1	0	1	Flip-Flop wird zurückgesetzt
IEC 60617-12 (EU)			DIN 40700 (Alt)		ANSI 91-1984 (US)	

Bild 23: Wahrheitstabelle des CD4013

Bild 24:
CD4013-Modul

ELV® Unsere Social-Media-Kanäle

Den Kontakt zum ELVjournal finden Sie nicht nur über unsere E-Mail-Adresse redaktion@elvjournal.com oder die Postanschrift ELV Elektronik AG · Redaktion ELVjournal · Maiburger Straße 29–36 · 26789 Leer, sondern auch über unsere Social Media-Kanäle.

Hier erfahren Sie außerdem Neuheiten zu Bausätzen, Angeboten oder neuen Produkten im Sortiment von ELV. Auch interessante Nachrichten werden hier veröffentlicht.

Youtube



[www.youtube.com/
user/elvelektronikde/](https://www.youtube.com/user/elvelektronikde/)

Facebook



[www.facebook.com/
elvelektronik](https://www.facebook.com/elvelektronik)

Twitter



[www.twitter.com/
elvelektronik](https://www.twitter.com/elvelektronik)



CD4040 – 12-stufiger Binärzähler

Funktion

Der CD4040 ist ein 12-stufiger Binärzähler, der vorwiegend als Teiler eingesetzt wird. Wie man im Blockschaltbild (Bild 25) erkennt, besteht das Innenleben aus zahlreichen einzelnen Flip-Flops.

Der Zählerstand schreitet bei jedem High-Low-Übergang von Clock (Takt) um eine Stufe weiter (siehe Wahrheitstabelle Bild 26).

Die Zählerstufen bestehen aus hintereinander geschalteten D-Flip-Flops. Der Clock-Ausgang der folgenden Stufe ist mit dem /Q des vorigen Flip-Flops verbunden. Diese Technik bezeichnet man als Ripple-Zähler. Im Vergleich dazu liegt bei einem synchronen Zähler an allen Flip-Flops das Taktsignal an. Durch jede Zählerstufe (Flip-Flop) wird die Eingangsfrequenz durch zwei geteilt. Der CD4040 besitzt zwölf Zählerstufen und kann die Eingangsfrequenz damit max. durch $2^{12} = 4096$ teilen.

Wie die Ausgangssignale in Bezug auf das Clocksignal aussehen, ist im Diagramm in Bild 27 zu sehen.

Der Reseteingang wird normalerweise auf Low gehalten und führt bei einem High einen Reset durch, wodurch alle Zähler gelöscht werden (alle Ausgänge sind auf Low).

Bild 28 zeigt das Schaltbild und Bild 29 das Modul.

Bild 25:
Blockschaltbild des
CD4040

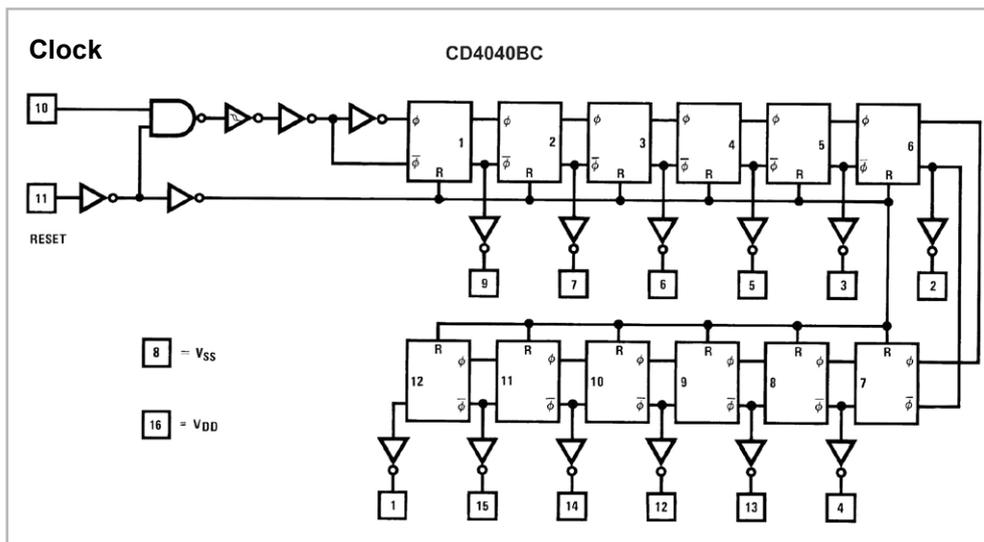


Bild 26: Wahrheits-
tabelle CD4040

Clock	Reset	Zählerzustand
	0	Low->High-Übergang am Clock führt zu keiner Veränderung
	0	Bei High->Low-Übergang schreitet der Zähler um 1 weiter
x	1	Reset = Alle Zähler werden gelöscht

Daten

CD4040 – 12-stufiger Binärzähler

Bezeichnung:	CD4040, HEF4040, HCF4040, MC144040, MOS4040
Typ:	CMOS Binärzähler (12-stufig)
Modulbezeichnung:	CM-IC-CD4040B
DIP-kompatibel:	nein
Betriebsspannung:	3–15 V
Taktfrequenz:	10 MHz @ 5 V 15 MHz @ 10 V
Stromaufnahme:	0,04 µA inaktiv 3 mA aktiv



Bild 27:
Signalverlauf des
CD4040

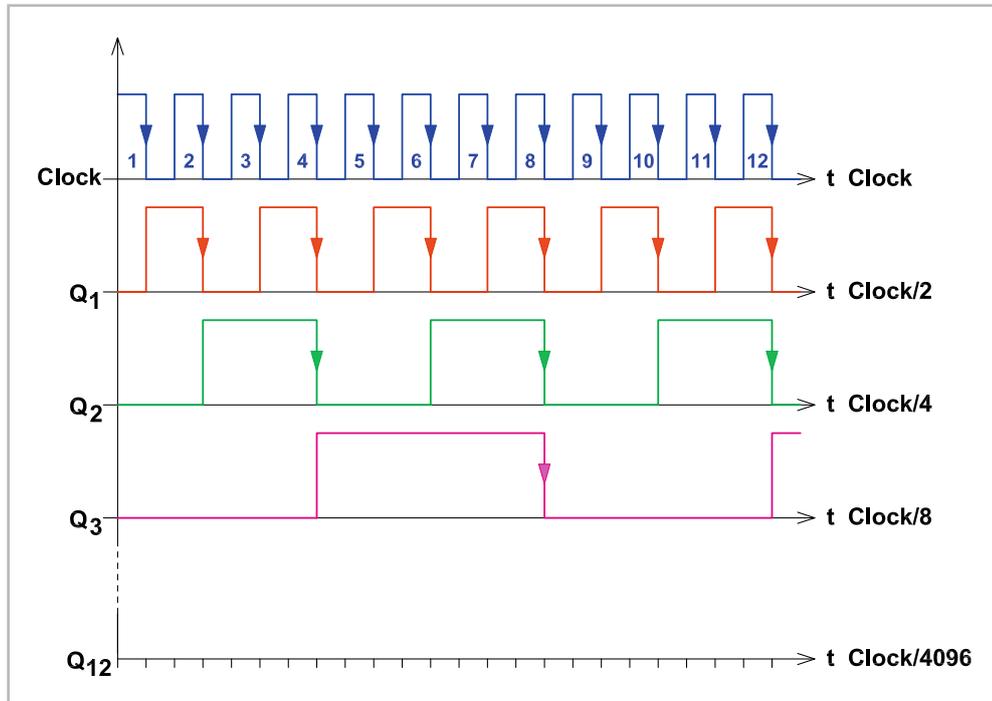


Bild 28: Schaltbild
des CD4040

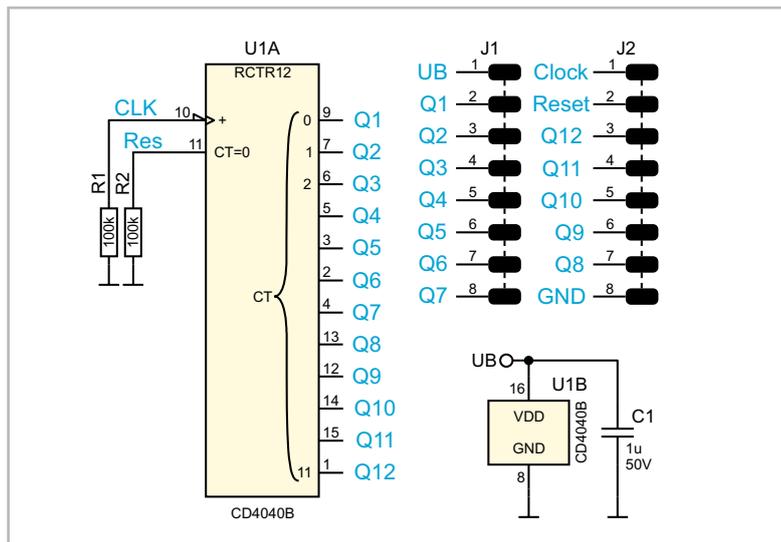
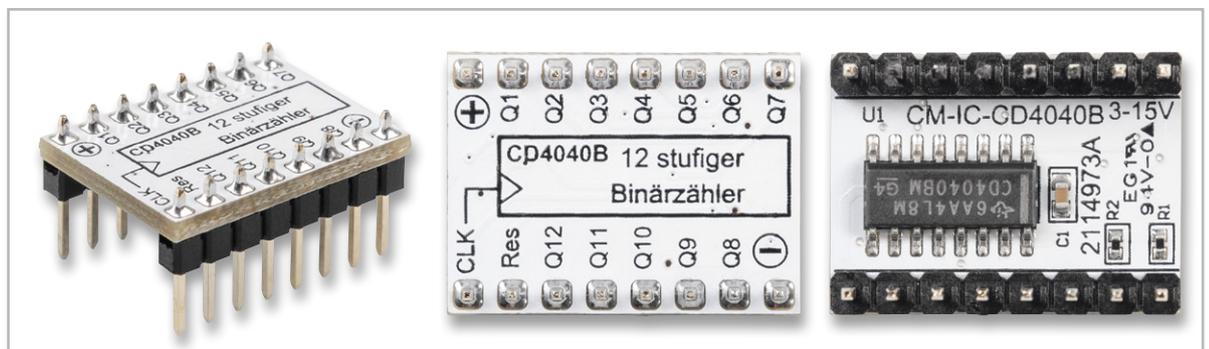


Bild 29:
CD4040-Modul





Clock	Reset	Zählerzustand
	0	Low->High-Übergang am Clock führt zu keiner Veränderung
	0	Bei High->Low-Übergang schreitet der um 1 weiter
x	1	Reset = Alle Zähler werden gelöscht

Bild 32: Wahrheitstabelle CD4060

In einer Testschaltung [3] zeigen wir, wie man den CD4060 als RC-Oszillator einsetzt und einige der PAD6-Module testen kann. In Bild 35 ist das Schaltbild, in Bild 36 sind die Platinenfotos zu sehen.

Im zweiten Teil zu unseren neuen Prototypenadaptern CMOS-Logik PAD6 stellen wir die übrigen Module wie u. a. Dezimalzähler, Schieberegister, BCD-zu-7-Segment-Decoder, LED-7-Segment-Anzeige und Logiklevel-Anzeige (8-fach) vor. **ELV**

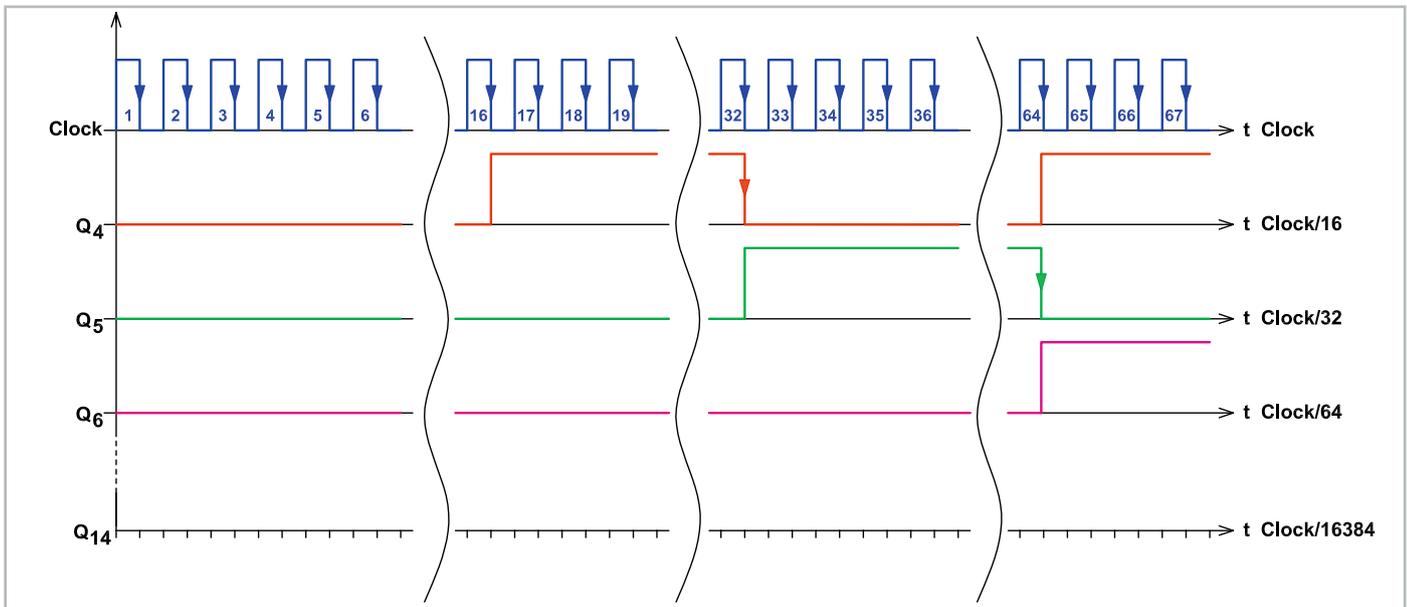


Bild 33: Signaldiagramm des CD4060

Ausgang CD4060	Teilerfaktor
Q4	16
Q5	32
Q6	64
Q7	128
Q8	256
Q9	512
Q10	1024
Q11	nicht verfügbar
Q12	4096
Q13	8192
Q14	16384

Bild 34: Teilerfaktoren CD4060

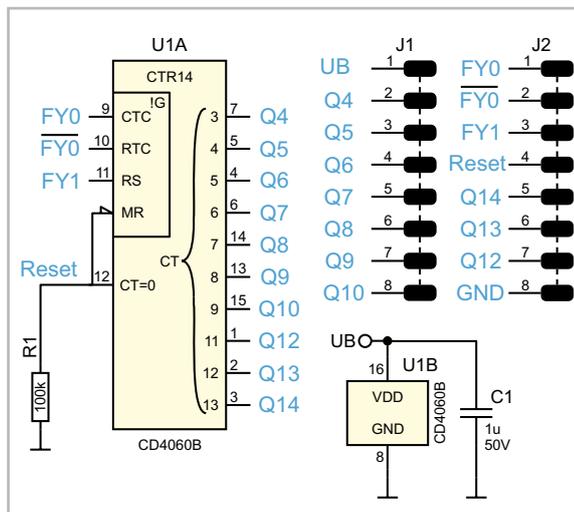


Bild 35: Schaltbild des CD4060

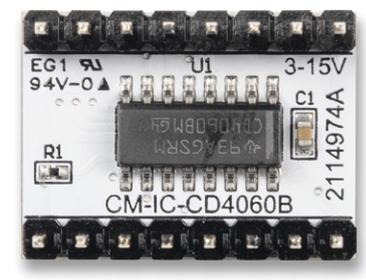
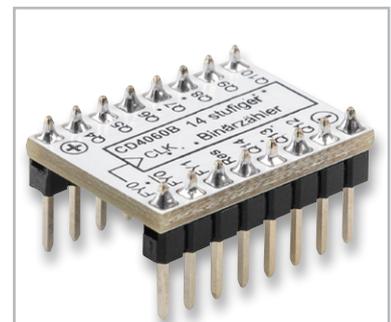


Bild 36: CD4060-Modul



Weitere Infos:

- [1] ELV Bausatz Prototypenadapter für Steckboards:
 PAD1: Artikel-Nr. 153761 PAD2: Artikel-Nr. 154712
 PAD3: Artikel-Nr. 154743 PAD4: Artikel-Nr. 155107
 ELV Bausatz Lochrasterplatine PAD5 für Steckboards mit Spannungsreglern:
 Artikel-Nr. 155289
 ELV Steckplatine/Breadboard mit 830 Kontakten, schwarze ELV Version:
 Artikel-Nr. 250986
- [2] ELV Bausatz Digital-Experimentierboard DEB100: Artikel-Nr. 153788,
 Fertiggerät: Artikel-Nr. 155358
- [3] PAD6-Testschaltung: Download unter Artikel-Nr. 251985