



12-Bit-AD-Wandler für den DSP 50 mit Lichtwellenleiteranschluß Teil 8

Über Lichtwellenleiter an die Ein-/Ausgabebaugruppe des DSP 50 angeschlossen wird dieser 12-Bit-AD-Wandler, der mit 8 Eingängen zur Erfassung analoger Meßgrößen dient.

Allgemeines

In der Meßtechnik sind meistens analoge Größen zu erfassen, die zur weiteren Verarbeitung in Digitalwerte zu wandeln sind. Die störungsfreie Erfassung und Auswertung ist jedoch mit einer ganzen Reihe von Problemen behaftet. So spielen Massepotential-Differenzen zwischen der Signalerfassung und der auswertenden Elektronik eine große Rolle. Mit größerer Entfernung nehmen die Probleme zu.

Ein Lösungsweg ist die galvanische Trennung zwischen der Meßwerterfassung und der Meßwertverarbeitung. Bei unserem abgesetzten AD-Wandler wird die galvanische Trennung mittels Kunststoff-Lichtwellenleiterrealisiert. Auf diese Weise sind Entfernungen von 50 m und mehr kein Problem. Des weiteren sind Kunststoff-Lichtwellenleiter vollkommen sicher gegen Störungen von außen und geben keine Störstrahlung an die Umgebung ab.

Um Störeinflüsse auf analoge Signalleitungen so gering wie möglich zu halten, ist es in den meisten Anwendungsfällen vorteilhaft, einen von der Meßwertverarbeitung abgesetzten AD-Wandler einzusetzen. Des weiteren bietet sich für eine abge-

setzte Meßwerterfassung ein serieller Wandler an, der die Anzahl der Signalleitungen zwischen der Meßwerterfassung (AD-Wandler) und der Meßwertverarbeitung so gering wie möglich hält.

In unserer Schaltung haben wir den LTC 1290 von Linear Technologie eingesetzt, der bei einer Auflösung von 12 Bit 8 Eingangskanäle über einen internen Multiplexer auswählen kann. Mit ca. 50.000 Wandlungen in der Sekunde ist dieser Baustein für die meisten Erfassungsaufgaben ausreichend.

Die 8 Eingänge unseres AD-Umsetzers können wahlweise mit unipolaren oder bipolaren Spannungen betrieben werden. Die Betriebsart ist für jeden Kanal einzeln definierbar.

Wahlweise arbeiten die Eingänge einzeln gegen Masse (COM), oder jeweils 2 benachbarte Eingänge sind als Differenzeingänge nutzbar. Wie Abbildung 1 zeigt, ist auch eine gemischte Nutzung der 8 insgesamt zur Verfügung stehenden Eingänge zulässig.

Das Interface des LTC1290

Die Kommunikation mit dem LTC1290 erfolgt über ein 3-Draht-Interface, bestehend aus der ankommenden Datenleitung für die Kommandos, der abgehenden Da-

tenleitung für die Ergebnisse und einer gemeinsamen Taktleitung.

Während die Befehle und die Taktleitung über Lichtwellenleiter-Empfänger mit integriertem Vorverstärker zum Chip gelangen, werden die digitalen Ausgangsdaten über eine Treiberstufe der LWL-Sendediode zugeführt.

Schaltung

In Abbildung 2 ist die Schaltung unseres, in einem kleinen Kunststoffgehäuse untergebrachten, 8fach-AD-Wandlers zu sehen. Aufgrund der seriellen Schnittstelle und des integrierten Eingangsmultiplexers ist der Schaltungsaufwand gering.

Die Eingangsstufen

Die Eingangsbeschaltung besteht aus 8 identischen Eingangsstufen, deren Beschaltung dem jeweiligen Anwendungsfall anzupassen ist.

Die in IC 1 und IC 2 integrierten Operationsverstärker arbeiten als Spannungsfollower, sorgen für einen hohen Eingangswiderstand und steuern den Multiplexer des AD-Wandlers niederohmig an.

Die Widerstände der Eingangsspannungsteiler dienen zur Anpassung an den jeweils gewünschten Eingangsspannungs-

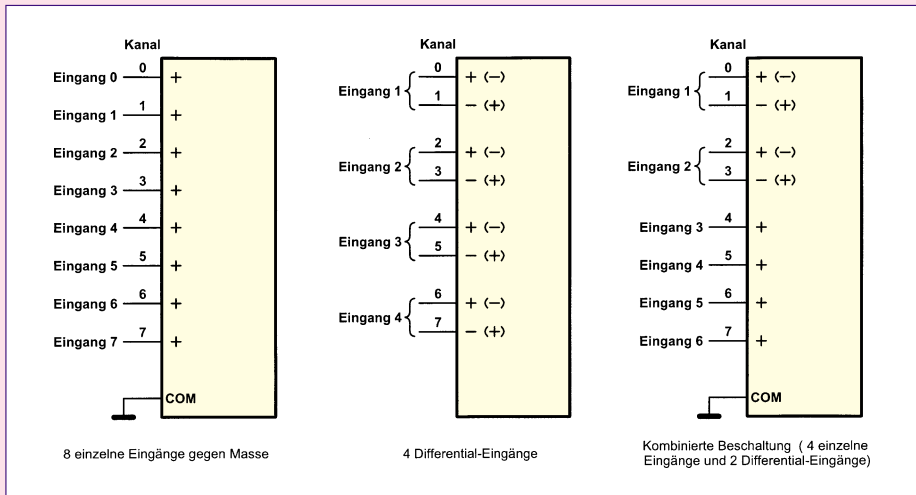


Bild 1: Zulässige Eingangsbeschaltung des 8-Kanal-Wandlers

974142502A

bereich. Der jeweils vom Spannungsteilerabgriff nach Masse geschaltete Kondensator (C 1 bis C 8) bildet mit dem Eingangswiderstand einen Tiefpaß erster Ordnung zur Unterdrückung von Störspitzen.

Eine Übersteuerung der Multiplexereingänge des LTC 1290 ist unbedingt zu verhindern, da bei Überspannung an einem Eingang die Meßwerte an sämtlichen Eingängen nicht mehr stimmen.

Das Opto-Interface

Das Opto-Interface des AD-Wandlermoduls besteht aus 2 Lichtwellenleiter-Empfängern mit integriertem empfindlichem Vorverstärker (LWL 1, LWL 2) und einer LWL-Sendediode des Typs SFH752 (D 9).

Die LWL-Empfangsbausteine besitzen Open-Kollektor-Ausgänge und benötigen

daher jeweils einen Pull-up-Widerstand (R 17, R 18). Die Kondensatoren C 9 und C 10 dienen in diesem Zusammenhang zur Störunterdrückung.

Die Sendediode D 9 wird vom Ausgang DOUT (Pin 16) des LTC1290 (IC 3) über das Gatter IC 4 C und der mit T 1 aufgebauten Treiberstufe gesteuert.

Um den sparsamsten Stromverbrauch der Schaltung zu erreichen, ist der Transistor T 1 für den logischen Zustand „1“ bzw. bei abgeschaltetem Ausgang (Float-Zustand) gesperrt.

Der Betriebstakt des Umsetzers wird von einem einfachen mit IC 4 A und externen Komponenten aufgebauten Quarzoszillator bereitgestellt. Die Taktfrequenz muß im Bereich zwischen 500 kHz und 4 MHz liegen. Sie muß jedoch mindestens doppelt so groß sein wie der Schiebetakt für die Daten.

Die Referenzspannung des Umsetzers ist mit Hilfe der Brücken BR 1 und BR 2 wählbar. Wahlweise sind 2,5 V, 5 V sowie -5 V und Masse einstellbar. Grundsätzlich ist eine Messung im Bereich zwischen der positiven und negativen Referenzspannung möglich.

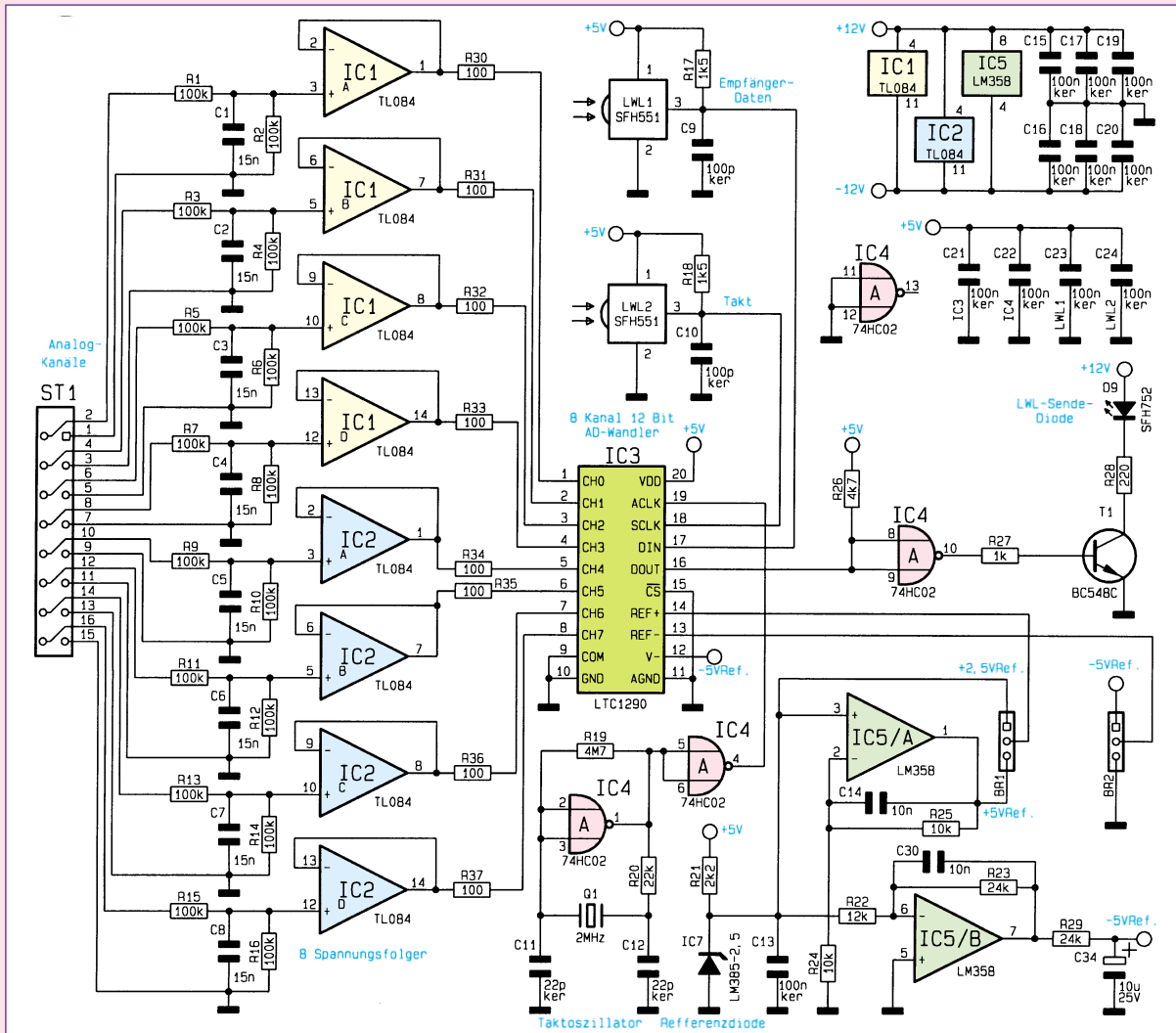


Bild 2: Schaltbild des 12 Bit AD-Wandlers mit Lichtwellenleiter-Anschluß

974142501A

Stückliste: DSP50-A/D-Wandler

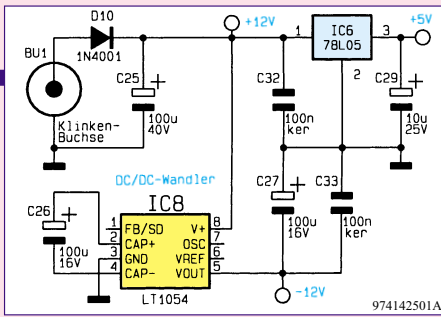


Bild 3: Stromversorgung des Wandler-Moduls

Die Stromversorgung

Die Stromversorgung des abgesetzten AD-Wandlers erfolgt üblicherweise mit Hilfe eines an der Klinkenbuchse BU 1 (Abbildung 3) anzuschließenden 12V-Steckernetzteils. Bei geringer Belastung geben Steckernetzteile eine erheblich höhere Spannung ab als bei Normlast. Um die max. zulässige Betriebsspannung von 16V DC einzuhalten, ist das Steckernetzteil daher in der Schalterstellung 9 V zu betreiben. Über die Verpolungsschutzdiode D 10

Ansicht der fertig aufgebauten Leiterplatte mit zugehörigem Bestückungsplan

gelangt die unstabilisierte Spannung auf den Pufferelko C 25, Pin 1 des Spannungsreglers IC 6 und Pin 8 des DC-DC-Wandlers IC 8.

Der DC-DC-Wandler des Typs LT1054 wird zur Generierung der erforderlichen negativen Betriebsspannung benötigt.

Zur Versorgung der Eingangs-Operationsverstärker dient die unstabilisierte Betriebsspannung von ± 12 V.

Die Referenzspannungen des AD-Umsetzers werden von der temperaturstabilisierten Spannungsreferenz des Typs LM385-2,5 abgeleitet. Das Referenzelement liefert eine Spannung von 2,5 V, wobei die Temperaturdrift mit 20 ppm/°C sehr gering ist. Die Spannungsgenauigkeit des LM385-2,5 beträgt 3 %, wobei durch Softwareabgleich eine erheblich höhere Genauigkeit erreichbar ist.

Mit dem nicht-invertierenden Operationsverstärker IC 5 A erfolgt eine 2fache Verstärkung, so daß auch eine Referenzspannung von +5 V zur Verfügung steht. Mit Hilfe des als invertierender Verstärker arbeitenden OPs (IC 5 B) wird eine negative Referenzspannung von -5 V erzeugt. Die Auswahl der Referenzspannungen für den Eingangsmeßbereich des Wandlers wird dann letztendlich mit Hilfe der Brücken BR 1 und BR 2 vorgenommen.

Widerstände:

100Ω	R30-R37
220Ω	R28
1kΩ	R27
1,5kΩ	R17, R18
2,2kΩ	R21
4,7kΩ	R26
10kΩ	R24, R25
12kΩ	R22
22kΩ	R20
24kΩ	R23, R29
100kΩ	R1-R16
4,7MΩ	R19

Kondensatoren:

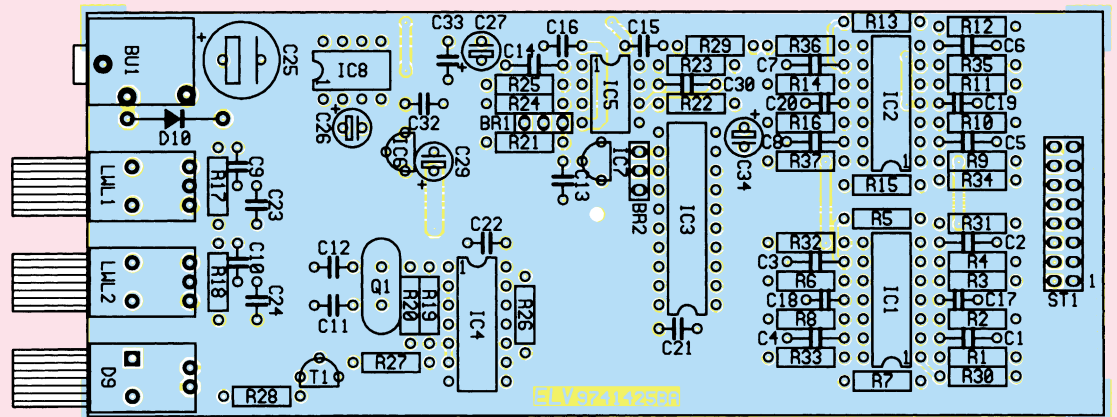
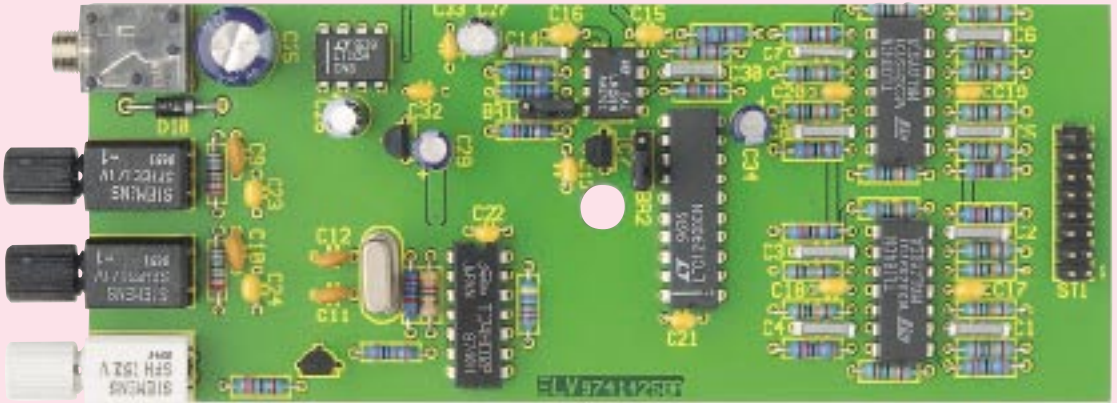
22pF/ker	C11, C12
100pF/ker	C9, C10
10nF	C14, C30
15nF	C1-C8
100nF/ker	C13, C15-C24, C32, C33
10µF/25V	C29, C34
100µF/16V	C26, C27
100µF/40V	C25

Halbleiter:

TL084	IC1, IC2
LTC1290	IC3
74HC02	IC4
LM358	IC5
78L05	IC6
LM385-2,5	IC7
LT1054	IC8
BC548C	T1
SFH752	D9
1N4001	D10
SFH551	LWL1, LWL2

Sonstiges:

Quarz, 2MHz	Q1
Klinkenbuchse, 3,5mm, print, mono	BU1
Stiftleiste, 2 x 8polig	ST1
Stiftleiste, 1 x 3polig	BR1, BR2
2 Jumper	
1 Soffline-Gehäuse, gebohrt und bedruckt, grau	



Nachbau

Der praktische Aufbau des 8fach-AD-Wandlers ist durch den Einsatz einer doppelseitig durchkontaktierten Leiterplatte besonders einfach. Wir nehmen die Bestückung in der gewohnten Weise vor, wobei es sinnvoll ist, mit den niedrigsten Komponenten zu beginnen, d. h. in unserem Fall den einprozentigen Metallfilmwiderständen. Nach dem Abwinkeln auf Rastermaß werden die Anschlußbeinchen

durch die zugehörigen Bohrungen geführt und verlötet. Im Anschluß hieran sind die überstehenden Drahtenden so kurz wie möglich abzuschneiden.

Es folgen die Folienkondensatoren und die möglichst tief einzusetzenden keramischen Abblockkondensatoren.

Danach werden Silberdrahtbrücken zur Auswahl der gewünschten Referenzspannung eingelötet.

Beim Einlöten der üblicherweise am Minuspol gekennzeichneten Elektrolytkondensatoren ist unbedingt auf die

korrekte Polarität zu achten.

Alsdann sind die integrierten Schaltkreise, mit Ausnahme des AD-Wandlers, entsprechend der Symbole im Bestückungsdruck einzulöten. Der hochwertige Wandler sollte erst eingelötet werden, wenn die Schaltung auf Funktion der Stromversorgung getestet wurde.

Nach dem Spannungsregler IC 6, dem Transistor T 1 und der 16poligen Stiftleiste werden die 3,5mm-Klinkenbuchse und die LWL-Module eingelötet. Bei diesen Bauteilen ist während des Lötvorgangs eine zu große Hitzeeinwirkung zu vermeiden.

Nachdem die Leiterplatte soweit fertiggestellt ist, kann ein erster Funktionstest erfolgen. Bei ordnungsgemäßer Funktion läßt sich die Baugruppe per Software (z. B. dem Datenloggerprogramm) ansprechen.

In der letzten Testphase kann eine Optimierung des Treibers erfolgen, der in der vorliegenden Form über reichlich Sicherheit verfügt. Die möglichen Minimalzeiten sind abhängig von der Länge der Übertragungsstrecke.

Es können vor allem die Stellen im Programm verändert werden, an denen die Variable ADWAIT verwendet wird. Der Erfolg dieser Änderungen sollte außer mit einem Funktionstest auch an den Signalen SCLK und DIN mit einem Oszilloskop überprüft werden. Wichtig ist dabei, daß die Pause zwischen den Impulsblöcken von SCLK mindestens 30 µs beträgt (60 Takte ACLK mit 2 MHz).

Betrieb und Programmierung des LTC1290

Die Kommunikation mit dem AD-Wandler erfolgt über einen Datenring, d. h. es werden mit dem gleichen Takt Daten in das IC geschrieben und die Ergebnisse der vorhergehenden Umsetzung ausgelesen.

Die Schreibdaten enthalten die Auswahl des Kanales und die Betriebsanweisungen für den Umsetzer. Damit ist es möglich, jeden Kanal getrennt zu programmieren. Nach der Übertragung des Kommandos und dem Ende des Datenblockes benötigt der Schaltkreis bis zu 52 Takte des Quarzoszillators zur Umsetzung. Nach dieser Zeit kann der Vorgang wiederholt werden.

Da der LTC1290 im Mode „CS = Low“ betrieben wird, muß der Schiebetak während der Umsetzphase auf „Low“ liegen. Die im Taktdiagramm (Bild 3) dargestellten Bits haben die in Tabelle 1 gezeigte Bedeutung.

Der Treiber für den DSP

Der in Tabelle 2 dargestellte Treiber bearbeitet alle 8 möglichen Kanäle und führt jeweils eine Mittelwertbildung über 16 Messungen durch. Das Programm wurde in die Teile „Initialisierung“, „Messung

eines Kanales“ und die „physische Umsetzung“, das heißt die Steuerung des AD-Wandlers, aufgeteilt.

Initialisierung

In diesem Programmteil erfolgt lediglich die Rückstellung des Kanalzählers und des Pufferzeigers für die Mittelwertbildung. Auf ein Löschen der Datenbereiche für die Mittelwertbildung wurde verzichtet, da der Wert 0 genau so falsch ist wie ein beliebiger Wert. Es ist auf jeden Fall zu berücksichtigen, daß die ersten 16 Messungen (multipliziert mit 8 Kanälen = 128 Aufrufe) ein ungültiges Ergebnis bringen.

Die Datentabelle mit den Steuerworten steht ebenfalls im Programmbereich, da wir im gemeinsamen Bereich für Daten und Programm des Prozessors arbeiten (SARAM). Das Steuerwort für einen Kanal enthält immer die Kommandos für den folgenden Kanal. Da diese Tabelle zyklisch abgearbeitet wird, erhält man immer das zur vorhergehenden Kanalnummer gehörende Ergebnis zurück. Die Bits im Steuerwort stehen spiegelverkehrt zum Bild 4, da sie zur Ausgabe nach rechts geschoben werden und mit dem MSB begonnen wird.

Die physische Ansteuerung des LTC1290

Zu Beginn des Treibers (ADwand) wird die Schleife für die Bitzahl eingestellt und das temporäre Ergebnisfeld gelöscht.

Die Grundregeln der Kommunikation mit dem AD-Wandler besagen, daß die Kommandos mit der steigenden Flanke von SCLK übernommen werden, und mit der fallenden Flanke das nächste Ergebnisbit am Ausgang erscheint. Dieser Ablauf ist einschließlich der entsprechenden Datenvorhaltezeiten zu realisieren.

Zu Beginn erfolgt ein Umkopieren des Steuerwortes und ein Rechtsschieben für den nächsten Zyklus. Bit 0 wird daraus maskiert und ausgegeben, wonach eine Warteschleife für den Datenvorhalt folgt.

Nach dem Setzen und der Ausgabe von Bit 1 (SCLK=1) erfolgt eine weitere Wartephase als Einschwingzeit und nachfolgendem Einlesen eines Ergebnisbits. Nach dem Einordnen des Bits in das Ergebnisfeld wird die Taktzeit aufgefüllt und anschließend SCLK auf „Low“ gesetzt.

Die Warteschleife am Ende des Programmteiles repräsentiert die Umsetzzeit. Sie kann entfallen, wenn durch die anderen im Rechner ausgeführten Programmteile bis zum nächsten Aufruf genügend Zeit vergeht.

Die Warteschleifen sind vom Prozessortakt und dem Quarzoszillator des AD-Wandlers abhängig. Bei einem 1MHz-Quarz (=ACLK) darf SCLK 500 kHz erreichen. Somit muß die High- und Low-Phase von SCLK jeweils mindestens 1 µs betragen. Diese Zeit muß sich aus der Summe der Befehle und den Warteschleifen ergeben. Einen Befehl kann man dabei vereinfacht mit 25 ns ansetzen.

Organisation der Messung

Das Organisationsprogramm „UMSETZ“ realisiert mit jedem Aufruf die Bearbeitung eines Kanales. Durch diese Organisation ist es möglich, die analoge Messung mit der z. B. schnelleren digitalen Auswertung zu schachteln.

Das Programm beginnt mit dem Umschalten der Kanalnummer und der Bestimmung der Adressen des Steuerwortes und des Ergebnisregisters. Im Anschluß daran erfolgt der Aufruf der physischen Umsetzung. Für die Mittelwertbildung existiert ein Pufferfeld, wo jedem Kanal ein Datenbereich zugeordnet ist.

Aus der aktuellen Kanalnummer und dem Pufferzeiger wird die Adresse für das Ergebnis innerhalb der 16 Werte berechnet. Anschließend erfolgt die Bildung des Mittelwertes und eine Übertragung in den Ergebnisbereich. Der Pufferzeiger wird nach der Bearbeitung des Kanal 0 mit einer Modulo-16-Addition weitergestellt.

Tabelle 1: Bedeutung der einzelnen Bits im Taktdiagramm

S/D	single/differential ended 0 = benachbarte Eingänge arbeiten als Differenzeingänge (0/1, 2/3, ...) 1 = die Eingänge arbeiten einzeln gegen Masse
O/S	bei S/D=1 entspricht es dem Bit S0 zur Kanalauswahl bei S/D=0 bestimmt es die Polarität der Differenzeingänge O/S = 0 der gerade Kanal ist der positive Eingang O/S = 1 der ungerade Kanal ist der positive Eingang
S2,S1	ist die Nummer der Eingangskanäle
UNI	0 = es erfolgt eine bipolare Messung von $U_e = -U_{ref} \dots +U_{ref}$ 1 = es erfolgt eine unipolare Messung von $U_e = 0 \dots +U_{ref}$
M/L	entscheidet, in welcher Reihenfolge die Daten übertragen werden 0 = die Ausgabe beginnt mit dem LSB 1 = die Ausgabe beginnt mit dem MSB
WLx	bestimmt die Wortlänge des Ergebnisses Die Ergebnislänge beträgt 8, 10, 12 und 16 Bit. Bei 16 Bit wird der fehlende Bereich mit 0 aufgefüllt, ansonsten der Wert abgeschnitten

Tabelle 2 : Treiberprogramm für das optisch angeschlossenen AD-Wandler-Modul

```

; Ansteuerung des ADU LTC1290 (schnelle Version)
;
;-----
adwait .const #7 ; Warteschleife 0.2 µs
;
;-----
.ds ; Datensegment
aduerg1 .ber 1 ; ADU-Ergebnis Kanal 1
aduerg2 .ber 1 ; ADU-Ergebnis Kanal 2
aduerg3 .ber 1 ; ADU-Ergebnis Kanal 3
aduerg4 .ber 1 ; ADU-Ergebnis Kanal 4
aduerg5 .ber 1 ; ADU-Ergebnis Kanal 5
aduerg6 .ber 1 ; ADU-Ergebnis Kanal 6
aduerg7 .ber 1 ; ADU-Ergebnis Kanal 7
aduerg8 .ber 1 ; ADU-Ergebnis Kanal 8

aduerg .ber 0
adulen .const aduerg-aduerg1

kcount .ber 1 ; Kanalzähler (00000xxx)
stwtmp .ber 1 ; Steuerwort ADU (Tmp)
ergtmp .ber 1 ; Ergebnis ADU (Tmp)
tmp1 .ber 1 ; Temp 1
tmp2 .ber 1 ; Temp 2
pufptr .ber 1 ; Zeiger auf aktuelles Datenelement

;-----
ergbl0 .ber 16 ; Block 0. Kanal
ergbl1 .ber 16 ; Block 1. Kanal
ergbl2 .ber 16 ; Block 2. Kanal
ergbl3 .ber 16 ; Block 3. Kanal
ergbl4 .ber 16 ; Block 4. Kanal
ergbl5 .ber 16 ; Block 5. Kanal
ergbl6 .ber 16 ; Block 6. Kanal
ergbl7 .ber 16 ; Block 7. Kanal
;
;-----
.text
;
; Wandlung eines Kanales und Einstellen des nächsten Kanales
ADwand:
    lar ar1,#11 ; Zähler (=12)
    larp ar1
    splk #0,ergtmp ; Ergebnis = 0

ad1:
    rpt #17
    nop
    lacc stwtmp
    sacl tmp1
    sfr ; 1 rechts
    sacl stwtmp ; stw 1 rechts abgelegt
    apl #1,tmp1 ; Bit 1 maskiert
    out tmp1,#2 ; Ausgabe Steuerwort (150 ns SCLK:=0)

    rpt adwait*2
    nop
    opl #2,tmp1 ; Datenvorhalt = 400 ns
    out tmp1,#2 ; SCLK:=1
    ; SCLK = 0 für 550 ns (jetzt SCLK=1)

    rpt adwait*2
    nop
    in tmp2,#2 ; Zeitverzögerung 400 ns
    apl #1,tmp2 ; Datenbit übernehmen
    lacc ergtmp ; Eingabebit maskieren
    sfr ; 1 links
    or tmp2 ; neues Bit dazu
    sacl ergtmp
    rpt #17
    nop
    ; SCLK = 1 für 1000 ns

    apl #0f1h,tmp1 ; SCLK:=0
    out tmp1,#2
    banz ad1,*-

    rpt adwait*250
    nop
    ; Zeitverzögerung für
    ; Umsetzung 52*ACLK
    ; Ergebnis in Ergtmp
    ret
;
;-----
; Init der Steuerworte des ADU
; ( alle Kanäle auf : singel,unipolar,msb first,12bit )
initadu:
    lacc #0
    sacl pufptr ; Datenptr setzen
    sacl kcount
    ret

;
; ADU-Steuerworte (im Programmbereich, da sie sonst
; nicht übertragen werden)
adustw1 .word #073h ; 0111 0011 next = K1
adustw2 .word #079h ; 0111 1001 next = K2
adustw3 .word #07bh ; 0111 1011 next = K3
adustw4 .word #075h ; 0111 0101 next = K4
adustw5 .word #077h ; 0111 0111 next = K5
adustw6 .word #07dh ; 0111 1101 next = K6
adustw7 .word #07fh ; 0111 1111 next = K7
adustw8 .word #071h ; 0111 0001 next = K0

;
;-----
; Wandlung des nächsten Kanales (Nummer in KCOUNT)
umsetz:
    lacc kcount
    add #1 ; Kanalzähler + 1
    and #7 ; Modulo 8
    sacl kcount

    lar ar3,#adustw1 ; Steuerwort
    lar ar4,#aduerg1 ; Ergebnis

    ums1:lar ar0,kcount ; Kanalnummer nach AR0
    larp ar3
    mar *0+ ; AR3 := AR3 + Kanalnummer
    lacc * ; aktuelles Steuerwort holen
    sacl stwtmp ; Steuerwort ablegen nach temp
    larp ar4
    mar *0+ ; Ar4 := Ar4 + Kanalnummer
    ; Adr. akt. Ergebnisregister
    call ADwand ; Umsetzung

;
; Mittelwertbildung über 16 Messungen
    lacc kcount ; aktueller Zeiger
    rpt #3
    sfl ; Zeiger * 16
    add #ergbl0 ; + Ergebnisblock 0 (Basis)
    sacl tmp1 ; Blockbasis ablegen
    add pufptr ; + Zeiger im Block
    sacl tmp2 ; = Datenadresse
    larp ar7
    lacc ar7,tmp2
    sacl * ; Erg eintragen

    lar ar7,tmp1 ; Blockanfang
    zap ; AC = 0
    rpt #15
    add *+ ; Summe über 16 Werte
    rpt #3
    sfr ; Summe / 16

    larp ar4 ; Zeiger auf Ergebnisregister
    sacl *+ ; Ergebnis ablegen

    lacc kcount
    retc neq ; nur bei Kanal 0 weiterstellen
    lacc pufptr ; nächste Runde mit neuem Zeiger
    add #1
    and #0fh
    sacl pufptr ; Zeiger weiterstellen
    ret
;
;-----

```

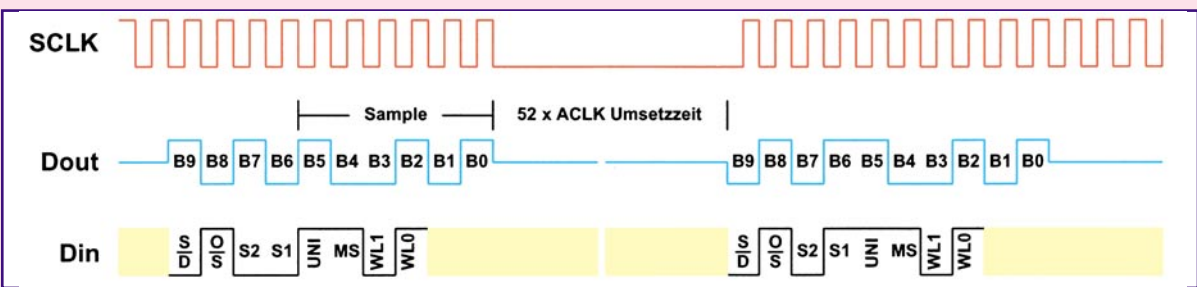


Bild 4:
Takt-
diagramm
des LTC 1290