

# Mikrocontroller-Grundlagen

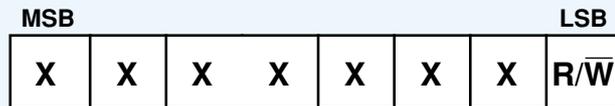
Im achtzehnten Teil dieser Artikelserie folgt die Beschreibung der Adressierung und der Datenübertragung im I<sup>2</sup>C-Bus.

## Teil 18

### 6.7 Adressierung im I<sup>2</sup>C-Bus

Nach der Generierung der Start-Bedingung erfolgt am I<sup>2</sup>C-Bus zunächst immer die Übertragung der Slave-Adresse, deren grundsätzlichen Aufbau Abbildung 140 zeigt.

Das erste Byte enthält neben der 7-Bit-Slave-Adresse zusätzlich das Schreib-/Lesebit R/W, das dem adressierten Baustein mitteilt, ob in dem darauffolgenden Byte Daten vom Slave zum Master (R/W gesetzt) oder ob Daten vom Slave übertragen werden sollen (R/W = 0).



Im darauffolgenden Byte wird dann je nach Funktion die Datenleitung SDA beim Lesezugriff vom Slave bedient, während beim Schreibzugriff der Master die Daten liefert.

Im erstgenannten Fall muß der Master darauf achten, daß nach dem Empfang des 8. Bits das ACK-Bit aktiviert wird, um dem sendenden Slave anzuzeigen, daß noch weitere Daten zu übertragen sind.

Die Slave-Adresse wird durch die Funktion des Bausteins (Typ) und durch eine 1-bis 3-Bit-Baustein-Adresse gebildet.

Nach der Start-Bedingung müssen alle am I<sup>2</sup>C-Bus angeschlossenen Bausteine die Slave-Adresse einlesen, um festzustellen, ob der betreffende Baustein adressiert wurde. Langsame Slaves dürfen dabei, wie in Kapitel 6.3 beschrieben, den Master zum Warten zwingen.

Nach dem Empfang des achten Bits (LSB) vergleichen die am I<sup>2</sup>C-Bus angeschlossenen Slave-Bausteine die empfangene Adresse mit der eigenen. Die Bausteine, deren Adresse nicht paßt, beenden den Scan-Vorgang und warten bis zur nächsten Start-Bedingung.

Der Baustein, dessen Slave-Adresse mit der übertragenen Adresse übereinstimmt setzt, wie in Kapitel 6.5 beschrieben, das Acknowledge-Bit. Damit bekommt der Master die Information, daß der Slave mit der angesprochenen Adresse zur Datenübertragung bereit ist. Fehlt die Bestätigung des Acknowledge-Signals, so ist entweder der adressierte Baustein beschäftigt (z. B. Datenübernahme in das EEPROM) oder es ist kein Baustein mit der gewünsch-

ten Adresse am I<sup>2</sup>C-Bus vorhanden.

Die Adressen für die Slave-Bausteine sind teilweise, wie aus Tabelle 24 ersichtlich, bereits für Sonderfunktionen reserviert. Die wichtigste Sonderadresse mit der Bitfolge 0000 000 und gelöscht R/W-Richtungsbit (für Schreiben) ist die „General-Call-Address“, die alle am I<sup>2</sup>C-Bus angeschlossenen Bausteine adressiert und damit einen Rundruf (Broadcast) einleitet.

Die Wirkungsweise dieses Rundrufes wird mit dem nächstfolgenden Byte spezifiziert und ist bei den Bausteinen mit I<sup>2</sup>C-Schnittstelle unterschiedlich implementiert.

**Bild 140: Format des ersten Bytes nach dem I<sup>2</sup>C-Start (Slave-Adresse)**

Die Übertragung der Adresse 0000 000 zusammen mit dem gesetzten Richtungsbit R/W stellt das „Start-Byte“ dar, welches zu Beginn jedes Datentransfers gesendet werden darf, um damit langsame I<sup>2</sup>C-Bus-Bausteine zu unterstützen, die das Bus-Protokoll für die Slave-Funktion softwaremäßig ausführen.

Die Adreßkombination 0000 001 ist für das ältere CBUS-Format reserviert, welches eine dritte Leitung für das Quittungssignal benötigt.

Die Adressen 0000 01x, 0000 1xx und 1111 1xx sind für andere bzw. zukünftige Bus-Formate reserviert. Die Adresse 1111 0xx leitet die 10-Bit-Slave-Adressierung ein, wobei die übrigen Adreßbits im zweiten Byte übertragen werden. Die weiteren Adressen 0001 xxx bis 1110 xxx sind

für die unterschiedlichen Bausteine mit I<sup>2</sup>C-Bus-Schnittstelle vergeben. Tabelle 25 zeigt eine Auswahl der gebräuchlichsten Bausteine mit I<sup>2</sup>C-Schnittstelle, deren Funktion und I<sup>2</sup>C-Slave-Adresse.

Die mit x gekennzeichneten Adreß-Bits (Tabelle 25) sind am Baustein selbst wiederum einstellbar, so daß beispielsweise von dem Uhren-/Kalenderbaustein PCF8573 max. 4 Bausteine am gleichen Bus betrieben werden können. Voraussetzung ist allerdings, daß die individuell einstellbare Adresse jeweils unterschiedlich eingestellt ist.

### 6.8 Datenübertragung im I<sup>2</sup>C-Bus

Den grundsätzlichen Aufbau der Datenübertragung im I<sup>2</sup>C-Bus zeigt Abbildung 138. Nach der Start-Bedingung folgen die 7-Bit-Slave-Adresse und das Schreib-/Lesebit R/W. Der Slave-Baustein bestätigt durch das Setzen (Low-Pegel) des Acknowledge-Bits ACK die Adressierung durch den Master. Danach kann eine beliebige Anzahl von 8-Bit-Daten übertragen werden, die jeweils mit den Acknowledge-Bits zu bestätigen sind.

Den Abschluß der Datenübertragung bildet die Generierung der Stopp-Bedingung durch den Master, womit der Bus wieder frei ist. Eine Datensicherung in Form eines Paritätsbits o. ä. ist beim I<sup>2</sup>C-Bus nicht definiert, da der Einsatz in sicherheitsrelevanten Bereichen nicht vorgesehen ist.

Neben der Datenübertragung vom Master zum Slave ist auch die Informationsübermittlung vom Slave zum Master möglich, wobei der Master immer die Taktgenerierung vornimmt. Weiterhin lassen sich

**Tabelle 24: Vergabe der Adressen an unterschiedliche Funktionen**

Slave-Adresse	R/W-Bit	Funktion
0000 000	0	Rundruf (general call address)
0000 000	1	Startbyte
0000 001	x	CBUS-Adresse
0000 010	x	reserviert für andere Busformate
0000 011	x	reserviert
0000 1xx	x	reserviert
0001 xxx	x	} Adreßbereiche für die I <sup>2</sup> C-Bus-Bausteine
•••		
1110 xxx	x	
1111 0xx	x	10 Bit Slave-Adressierung
1111 1xx	x	reserviert

**Tabelle 25: Auswahl einiger Bausteine mit I<sup>2</sup>C-Schnittstelle**

Bezeichnung	Bausteinfunktion	I <sup>2</sup> C-Slave-Adresse
PCD 3312	Sound + DTMF-Generator	0100 1 0 0 R/ $\bar{W}$
PCF 8573	Uhr/Kalender	1101 0 x x R/ $\bar{W}$
PCF 8574	8-Bit-I/O-Baustein	0100 x x x R/ $\bar{W}$
PCF 8574A	8-Bit-I/O-Baustein	0111 x x x R/ $\bar{W}$
SDA 2516-2 PCF 8581	128-Byte-EEPROM	1010 x x x R/ $\bar{W}$
2402 SDA 2526-2 PCF 8582A	256-Byte-EEPROM	1010 x x x R/ $\bar{W}$
SDA 2546 SDA 3546 2404	512-Byte-EEPROM	1010 x x A8 R/ $\bar{W}$
SDA 2586 SDA 3586 2408	1024-Byte-EEPROM	1010 x A9 A8 R/ $\bar{W}$
2416	2048-Byte-EEPROM	1010 A10 A9 A8 R/ $\bar{W}$

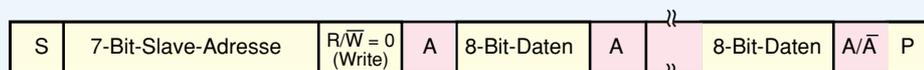
in einer Sequenz sowohl Daten vom Master zum Slave als auch in umgekehrter Richtung übermitteln.

### 6.8.1 Datenübertragung vom Master zum Slave

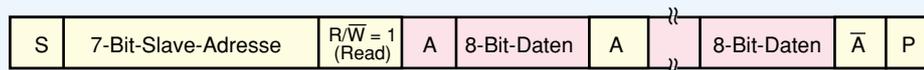
Abbildung 141 zeigt die Datenübertragung vom Master zum Slave in schemati-

Dennoch kann je nach Slave-Funktion die Anzahl der in einer Sequenz übertragenen Datenbytes begrenzt sein.

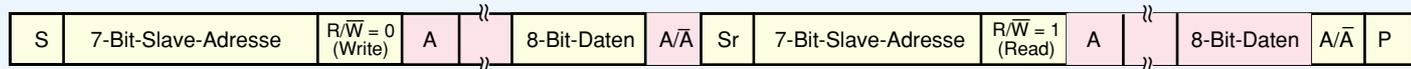
Ist die maximale Puffergröße des Slaves erreicht, so wird das folgende Datenbyte nicht mehr durch das Acknowledge-Signal bestätigt, woraufhin der Master die Datenübertragung durch die Generierung der



**Bild 141: Datenübertragung vom Master zum Slave**



**Bild 142: Datenübertragung vom Slave zum Master**



- S = Startbedingung
- Sr = wiederholte Startbedingung
- P = Stoppbedingung
- A = Acknowledge (SDA = „low“)
- $\bar{A}$  = not Acknowledge (SDA = „high“)



**Bild 143 Kombinierte Datenübertragung vom Master zum Slave und umgekehrt**

sierter Form. Der Takt (SCL) wird grundsätzlich, unabhängig von der Datenübertragungsrichtung, vom Master generiert. Der Slave hat lediglich die Möglichkeit, wie in Kapitel 6.3 beschrieben, den Takt kurzzeitig zu verzögern.

Der Slave muß nach der Übertragung von jeweils 8 Datenbits das neunte übertragene Bit mit dem Acknowledge-Signal (Low-Pegel an SDA) bestätigen. Die Anzahl der übertragenen Datenbytes in einer Sequenz ist grundsätzlich nicht beschränkt.

Stopp-Bedingung beenden muß.

Selbstverständlich kann auch der Master die Datenübertragung nach der Übermittlung eines Bytes und dem Empfang des Acknowledge-Signals durch das Setzen der Stopp-Bedingung beenden.

### 6.8.2 Datenübertragung vom Slave zum Master

Abbildung 142 zeigt die Datenübertragung vom Master zum Slave-Baustein. Dazu setzt der Master das im ersten Byte

übertragene Schreib-/Lese-Bit auf „high“ ( $R/\bar{W}=1$ ). Nach dem Empfang der Acknowledge-Bestätigung vom Slave generiert der Master lediglich noch den Bus-Takt, während der Slave die gewünschten Daten auf den Bus legt, die der Master sequentiell einliest.

Im Anschluß an die Übertragung von jeweils 8 Datenbits muß der Master durch Setzen des Acknowledge-Bits die Übertragung bestätigen. Nach der Übertragung des letzten gewünschten Datenbytes sollte der Master den Empfang durch das Acknowledge-Bit nicht bestätigen ( $ACK = high$ ), womit der Slave die Information bekommt, daß die Datenübertragung abgeschlossen ist. Anschließend generiert der Master noch die Stopp-Sequenz, womit der Bus wieder freigegeben ist.

### 6.8.3. Kombiniertes Übertragungsformat

Viele am I<sup>2</sup>C-Bus angeschlossene Bausteine benötigen nach der Adressierung noch mindestens ein Befehls- oder Adreßbyte, bevor sich Daten vom Slave zum Master übertragen lassen. Abbildung 143 zeigt die kombinierte Datenübertragung vom Master zum Slave und umgekehrt. Dabei wird zunächst der Slave wie gewohnt adressiert und die benötigten Daten vom Master übertragen. Im Anschluß an das letzte Acknowledge-Byte generiert der Master eine neue Start-Bedingung Sr (Repeated-Start-Condition) und überträgt erneut die Slave-Adresse; jetzt allerdings mit gesetztem R/W-Bit für einen Lesezugriff.

Danach werden die gewünschten Daten, wie gewohnt, vom Slave übertragen. Den Abschluß der gesamten Sequenz bildet wiederum das Generieren der Stopp-Bedingung durch den Master.

Selbstverständlich können bei der kom-

biniierten Datenübertragung in umgekehrter Reihenfolge auch zunächst Daten vom Slave eingelesen und anschließend Daten zum Slave zurückgeschrieben werden.

Der Vorteil der kombinierten Datenübertragung liegt darin, daß beim Anschluß von mehreren Master an einen Bus sich die Kommunikation von einem Master zu dem gewünschten Slave-Baustein ohne Unterbrechung fortführen läßt.

Im 19. Teil der Mikrocontroller-Grundlagen-Serie beschreiben wir zunächst die Funktionen eines EEPROMs mit I<sup>2</sup>C-Schnittstelle gefolgt von mehreren Beispielen, welche die Ansteuerung zeigen. **ELV**