Farb-Bildmuster-Generator FBG 7001 Teil 2

Im zweiten Teil dieses Artikels stellen wir Ihnen die interessante, auf neuester Technologie basierende Schaltungstechnik vor.

Schaltung

Ein Farb-Bildmuster-Generator mit den Funktionen des FBG 7001 erfordert eine verhältnismäßig komplexe Schaltungstechnologie. Zur besseren Übersicht ist daher die Technik des FBG 7001 in 3 logisch zusammengehörende Teilschaltbilder unterteilt, die wir der Reihe nach ausführlich beschreiben.

1. Testbildauswahl (Bild 3)
2. Hauptschaltbild mit Netzteil (Bild 4)
3. HF-Modulatorbaugruppe mit PIN-Dioden-Abschwächer (Bild 5)

Testbildauswahl

Wir beginnen die detaillierte Beschreibung mit der in Abbildung 3 dargestellten Testbildauswahl, wo über insgesamt 14 Drucktasten, aufgeteilt in 2 übereinanderliegenden Tastenreihen, die einzelnen Funktionen des Generators steuerbar sind.

Während die oberen 7 Drucktasten (TA 101 bis TA 107) zur Symbolauswahl wie z. B. Gittermuster oder Kreis dienen, können mit den Tasten TA 109 bis TA 115 bildschirmfüllende Flächendarstellungen, die Grautreppe oder das Farbbalkentestbild aktiviert werden. Alle weiteren Bedienelemente des FBG 7001 sind zur besseren Übersicht im Hauptschaltbild sowie im Schaltbild des HF-Modulators direkt in den entsprechenden Baugruppen eingezeichnet.

Doch nun zurück zu Abbildung 3, wo wir zunächst den oberen Schaltungsteil zur Symbolauswahl betrachten. Sämtliche Signaleingänge des binären 8 : 3-Prioritätscodierers IC 101 liegen über die Widerstände R 101 bis R 108 auf High-Potential. Solange alle Eingänge High-Pegel führen oder ein Low-Signal am Eingang 0 (Pin 10) anliegt, verbleiben die Ausgänge A 0 bis A 2 auf High-Pegel. Durch eine Tastenbetätigung nehmen die Ausgänge den Binärcode für diesen Eingang an.

Bei jeder Tastenbetätigung wechselt das Freigabe-Signal $\overline{EO}$ (Pin 15) von „low" nach „high".

Zur Zwischenspeicherung der Ausgangsinformation dient das 4-Bit-D-Register IC 102. Die zu speichernden Daten werden den D-Eingängen zugeführt und beim Low-High-Übergang (positive Flanke) des Taktes am Clock-Eingang intern gespeichert. Gleichzeitig steht die 3-Bit-Binär-Information an den Q-Ausgängen an und bleibt auch nach Loslassen der betreffenden Taste erhalten.

Die Bauelemente R 119 und C 121 dienen zur Verzögerung der Taktflanke. und der Kondensator C 101 sorgt im Einschaltmoment für definierte Anfangsbedingungen („Aus").

Zur Selektion der zu jedem Tastendruck gehörenden Kontroll-LED (D 101 bis D 107) dient der CMOS-Analog-Schalter IC 103. Die eigentliche Symbol-Auswahl erfolgt über die Steuerleitungen DS 6 bis DS 8.

Der untere, ebenfalls aus 7 Tasten bestehende Tastenblock dient zur Selektion der unterschiedlichen Bildflächen, der Grautreppe und des Farbbalkens. Da hier die Generierung der Ausgangsinformation etwas komplizierter ist, wurde mit Hilfe eines GALs vom Typ 22V10 (IC 104) eine State-Machine realisiert.

Die Eingänge des GALs liegen im Ruhezustand über die Widerstände R 111 bis R 117 auf High-Potential und sind „aktiv-low". Eine Tastenbetätigung zieht den betreffenden Eingang auf Low-Pegel. Daraufhin wird die zugehörige Ausgangs-Bit-Kombination generiert und intern gespeichert.

3 binär-gewichtete Ausgänge (Pin 21 bis Pin 23) steuern den CMOS-Analog-Multiplexer IC 105 an, der die zur jeweiligen Taste gehörende Kontroll-LED selektiert. Die an DS 1 bis DS 5 anliegende Bit-Kombination bestimmt die Auswahl des Grundtestbildes.

Getaktet wird das GAL mit einem horizontalfrequenten Signal am Clock-Eingang (Pin 1). Im Einschaltmoment sorgt C 109 für die automatische Aktivierung des Farbbalken-Testbildes.

Hauptschaltbild

Das Hauptschaltbild mit allen wesentlichen Funktionsgruppen ist in Abbildung 4 dargestellt. Zentrales Bauelement des FBG

7001 ist der Timing-Generator des Typs SAA 1001 von Philips, der im Hauptschaltbild oben links mit den zugehörigen externen Komponenten zu sehen ist.

Der hochintegrierte Baustein liefert normgerechte Synchron- und Austast-Signale, sorgt für eine exakte Farbträger-Zeilenfrequenzverkopplung und ist in der Lage, sämtliche Synchronisations- und Austast-Signale synchron zu einem externen Videosignal zu generieren. Die externe Beschaltung des Bausteins ist gemessen an den umfangreichen Funktionen sehr gering.

Sämtliche zum Bildaufbau benötigten Signale werden genaugenommen von der 4,433619MHz-Farbträgerfrequenz abgeleitet. Der an Pin 1 und Pin 2 zugängliche Farbträgeroszillator des Bausteins ist extern mit dem Quarz Q 201, den Widerständen R 214, R 215 und den Kondensatoren C 211, C 212 sowie dem C-Trimmer C 213 zum exakten Farbträgerabgleich beschaltet.

Ein weiterer im Baustein integrierter Oszillator ist an den Pins 5 und 6 extern zugänglich. Die Frequenz dieses Oszillators ist zunächst einmal von den externen Bauelementen D 201 (Varicapdiode), C 203, L 201, C 204, C 205 und dem an Pin 3 und Pin 4 eingestellten Teilungsfaktor abhängig. Des weiteren ist die Frequenz von der vom Phasendetektor-Ausgang (Pin 8) über das mit R 201 bis R 204 sowie C 201, C 202 aufgebaute Schleifenfilter zur Verfügung gestellten Regelspannung abhängig.

Sämtliche Testbilder sind spalten- und zeilensynchron zu einer extern angeschlossenen Video-Signalquelle generierbar

Im FBG 7001 ist der Teilungsfaktor an Pin 3 und Pin 4 so eingestellt, daß eine Oszillatorfrequenz von 15 MHz (960fache Zeilenfrequenz) generiert wird. Diese Taktfrequenz steht an Pin 24 (CLO) in gepufferter Form zur Verfügung, so daß durch entsprechende Teilung sämtliche für den Bildaufbau benötigten Timing-Signale direkt ableitbar sind.

Über ein an Pin 11 zugeführtes externes Composite-Sync-Signal ist der SAA1101 extern synchronisierbar, d. h. sämtliche Testbilder werden dann zeilen- und spaltensynchron zu einem extern angeschlossenen Video-Signal generiert. Dazu wird an die „Genlock-In"-Buchse das FBAS- oder BAS-Signal einer beliebigen Video-Signalquelle angeschlossen.

Mit Hilfe der mit T 201 und externer Beschaltung aufgebauten Amplitudensieb-Schaltung erfolgt die Abtrennung der Synchronimpulse vom Video-Signal.

Die positiv gerichteten Synchronimpulse am Kollektor des Transistors T 201 gelangen zum einen direkt zum Pin 11 (External-Composite-Sync) des IC 201 und werden zusätzlich mit Hilfe einer Spitzenwert-Gleichrichtung (D 203, C 209, R 212) gleichgerichtet. Sobald der Logik-Pegel an Pin 9 und Pin 10 (LM 0, LM 1) von „low" nach „high" wechselt, schaltet der Baustein in den Genlock-Mode (Sync-Lock with External-Reference) um.

Da im Genlock-Betrieb die interne und externe Zeilenfrequenz über den Phasendetektor der Farbträgerfrequenz verglichen wird, ist in dieser Betriebsart keine Farbträger-Zeilenfrequenzverkopplung möglich.

Liegt am Norm-Eingang (Pin 23) ein Low-Signal an, so erfolgt die Testbild-Generierung im 625-Zeilen-Modus (Inter-

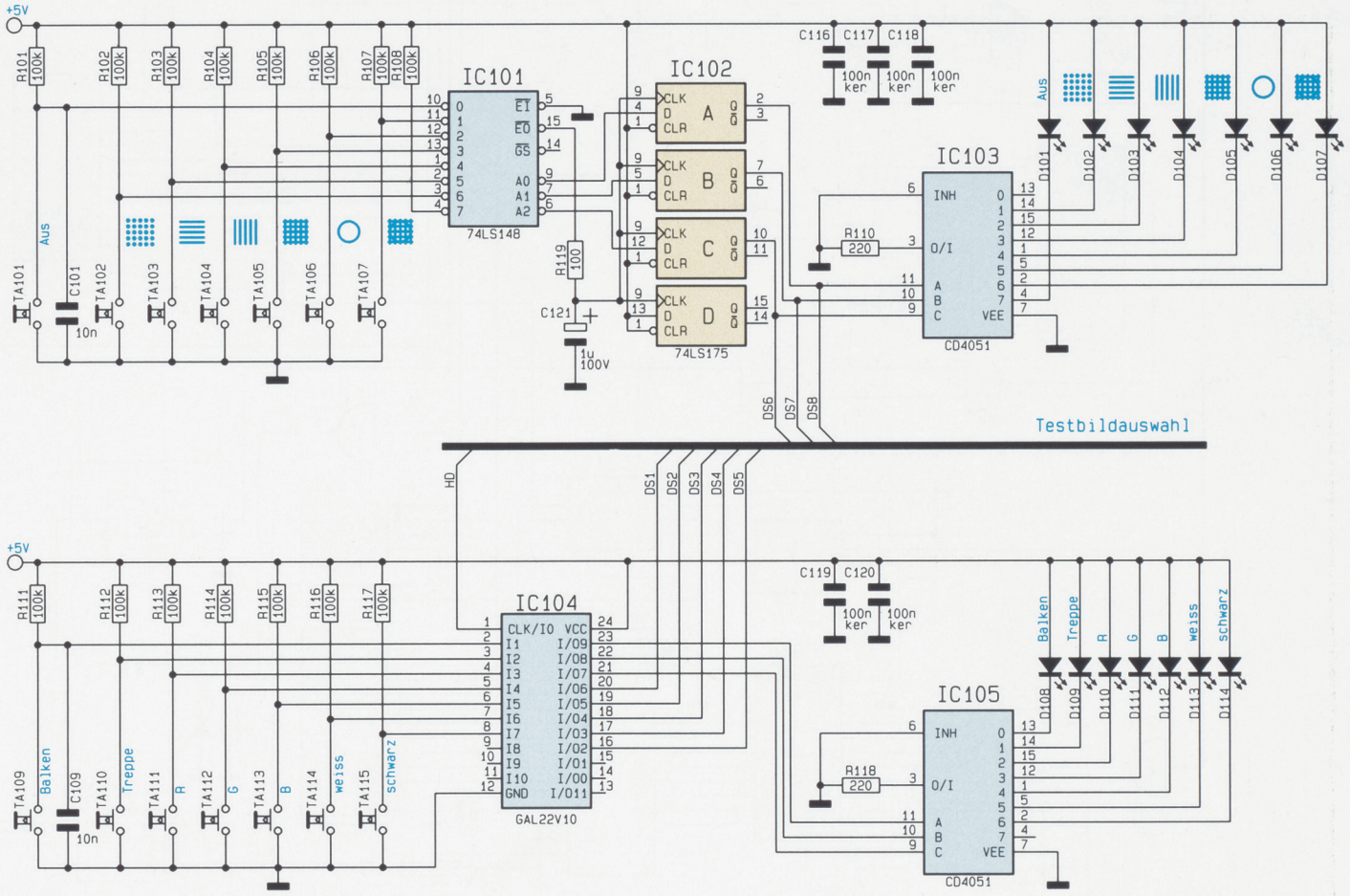
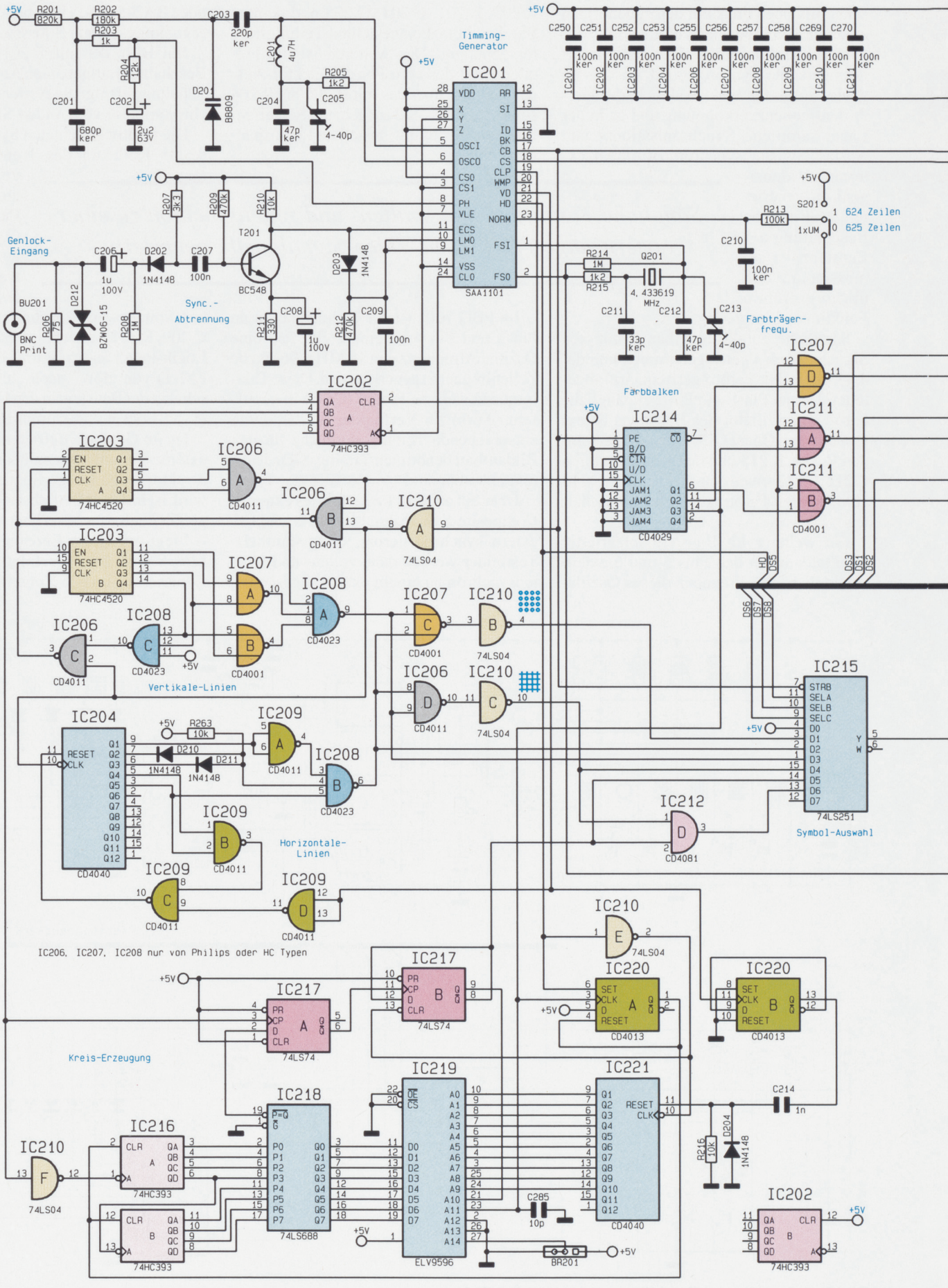


Bild 3: Schaltbild der Testbildauswahl des FBG 7001


IC201
Timming-
Generator
SAA1101
Genlock-
Eingang
Sync.-
Abtrennung
Farbträger-
frequ.
624 Zeilen
625 Zeilen
IC202
74HC393
IC203
74HC4520
IC206
CD4011
IC210
74LS04
IC207
CD4001
IC208
CD4023
Vertikale-Linien
IC214
CD4029
Farbbalken
IC215
74LS251
Symbol-Auswahl
IC212
CD4081
IC204
CD4040
IC209
Horizontale-
Linien
IC206, IC207, IC208 nur von Philips oder HC Typen
IC217
74LS74
Kreis-Erzeugung
IC220
CD4013
IC218
74LS688
IC219
ELV9596
IC216
IC221
BR201

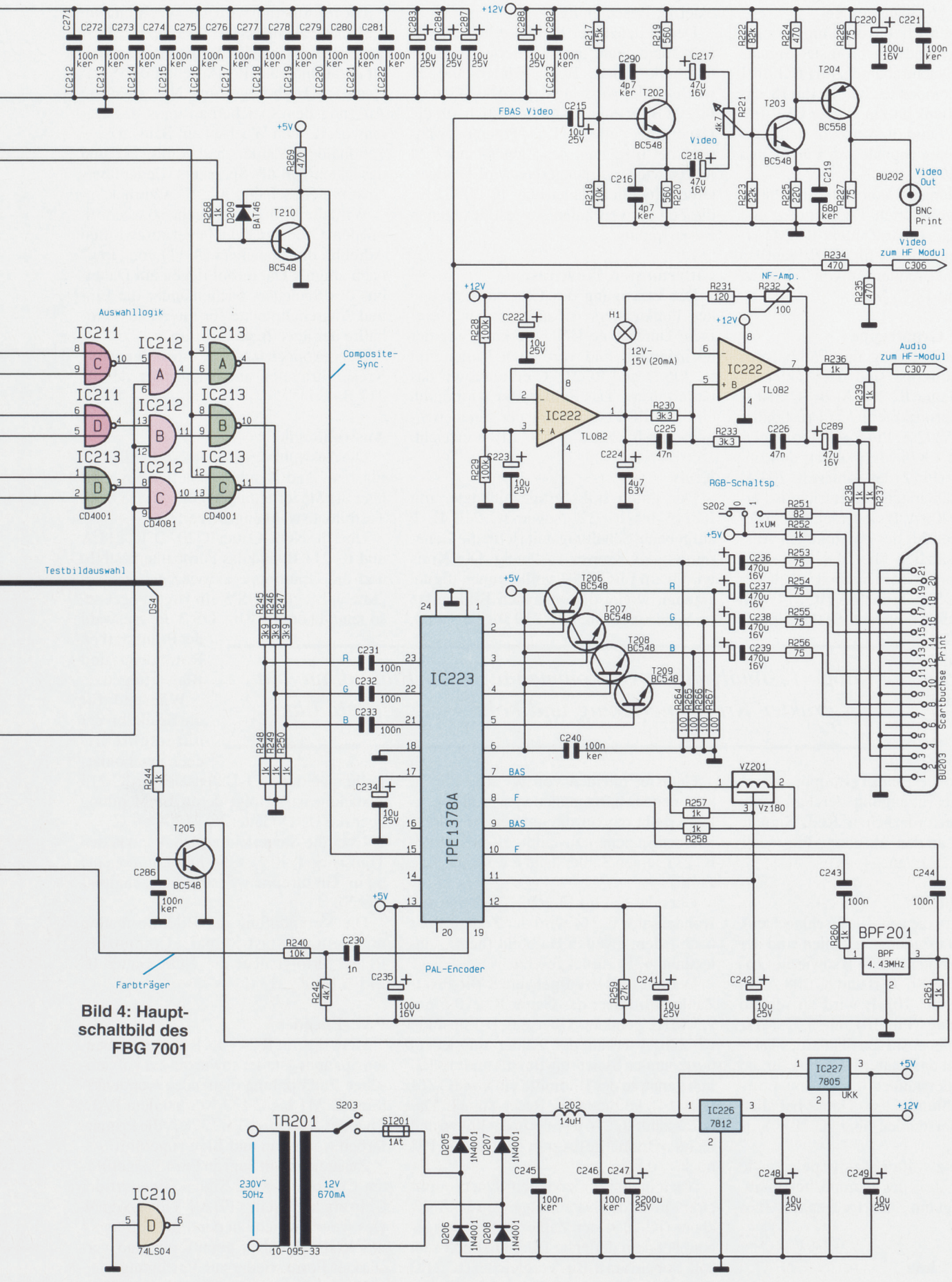


Bild 4: Hauptschaltbild des FBG 7001

lace), während bei einem High-Signal an Pin 23 die Testbilder mit 624 Zeilen (Non-Interlace) ausgegeben werden.

Ausgangsseitig liefert der Chip normgerechte Austast- und Synchronisier-Signale mit Vor- und Nachtrabanten. Im FBG 7001 werden das Composite-Sync an Pin 18, das Composite-Blank an Pin 17, der CLP-Impuls an Pin 19 und die vertikal- und horizontalfrequenten Signale an Pin 21 und Pin 22 genutzt.

Durch Teilung der vom Ausgang Pin 24 des IC 201 gelieferten Taktfrequenz mit Hilfe des 4-Bit-Binär-Zählers IC 202 erfolgt die Erzeugung der für den Bildaufbau benötigten Taktfrequenzen von 7,5 MHz, 3,75 MHz und 1,875 MHz.

Farbbalken, Grautreppe

Für die Generierung des Farbbalkens und die Grautreppe sind der Zähler IC 203 A, die Gatter IC 206 A, B, IC 210 A und der Synchronzähler IC 214 zuständig.

Die von IC 202 A, Pin 5 gelieferte Taktfrequenz von 1,875 MHz steuert den Enable-Eingang (Pin 2) des Zählers IC 203 A. Sobald der Zählerstand 12 erreicht ist, erfolgt über IC 206 A, B ein Reset, wobei der Zähler für die Zeit der horizontalen Austastlücke zusätzlich über das Gatter IC 210 A gestoppt wird. Dadurch erhält der nachfolgende Synchronzähler IC 214 nach dem Ende des Composite-Blank-Signals alle 12,8 µSek. ein Taktsignal. Auch dieser Zähler wird am PE-Eingang für die Zeit des horizontalen Strahlrücklaufs (Composite-Blank) gestoppt.

Die für die Erzeugung der Farb- und Grautreppe erforderlichen RGB-Signale stehen direkt an den Ausgangs-Pins 6, 11 und 14 des IC 214 an.

Vertikale Linien

Zuständig für die vertikalen (senkrechten), d. h. horizontalfrequenten Linien sind der 4-Bit-Binär-Zähler IC 203 B sowie die Gatter IC 206 C, IC 207 A, B und IC 208 A, C.

Der Zähler IC 203 B wird an seinem Enable-Eingang (Pin 10) mit 3,75 MHz getaktet. Mit der positiven Flanke des Taktsignals nimmt das Gatter IC 208 A für die Zeit des Zählerstandes 0 (266 ns) Low-Pegel an, während dieses Gatter bei allen übrigen Zählerständen über IC 207 A, B gesperrt ist.

Bei jedem zwölften Taktimpuls sowie während der Zeit des Composite-Blank-Signals erfolgt ein Zurücksetzen des Zählers IC 203 B.

Horizontale Linie

Die Generierung der horizontalen (waagerechten), d. h. vertikalfrequenten Linien erfolgt mit IC 204, IC 209, IC 208 B und externer Beschaltung.

Der Zeilenzähler IC 204 erhält an seinem Takteingang das invertierte Composite-Blank-Signal. Beim Zählerstand 22 wechselt der Ausgang des NAND-Gatters IC 208 B für eine Taktperiode, d. h. für die Dauer einer Zeile, auf Low-Potential, während bei Erreichen des Zählerstandes 24 IC 204 wieder zurückgesetzt wird. Des weiteren erhält der Zähler über IC 209 D für die Zeit der vertikalen Austastlücke einen Reset-Impuls.

Gittermuster, Punktraster

Die Erzeugung des Gittermusters und des Punktrasters ist ausgesprochen einfach. Durch eine UND-Verknüpfung der horizontalen und vertikalen Linien mit IC 206 D und IC 210 C erhalten wir das Gittermuster. Das Punktraster wird durch eine ODER-Verknüpfung der gleichen Signale mit IC 207 C und IC 210 B erreicht.

Kreis

Der unten links eingezeichnete, mit IC 216 bis IC 221 sowie IC 210 E, F aufgebaute Schaltungsteil ist für die Generierung des Kreises zuständig. Der Kreis wird beim FBG 7001 vollkommen digital erzeugt, wobei die einzelnen Bildpunkte im Speicherbaustein IC 219 abgelegt sind.

Große Testbildvielfalt, vollkommen digitaler Bildaufbau mit exakter Kreisgenerierung und hohe Langzeitstabilität

Getaktet mit den von IC 201, Pin 22 kommenden horizontalen Synchron-Signalen, erhöht der für die unteren 10 Adreß-Bits des Speichers zuständige Zeilenzähler IC 221 seinen Zählerstand jeweils um eine Zeile.

Über das D-Flip-Flop IC 220 B und den Kondensator C 214 wird der Zeilenzähler nach jedem zweiten Halbbild (beim Zählerstand 625) zurückgesetzt.

Der mit IC 216 aufgebaute 8-Bit-Pixel-Zähler wird über das Gatter IC 210 F mit 7,5 MHz getaktet. Über das D-Flip-Flop IC 220 A erhält der Zähler mit jedem horizontalen Synchron-Impuls und zusätzlich genau in der Bildmitte ein von IC 214 (Pin 14) kommendes Reset-Signal. Dadurch zählt IC 216 jeweils in der linken und rechten Bildhälfte bis zum Zählerstand 192 hoch.

Nach einem horizontalen Synchronimpuls wird an den Datenausgängen des Speichers (IC 219) der Zählerstand vorgegeben, bei dem der erste Bildpunkt hell sein soll. Sobald am 8-Bit-Vergleicher (IC 218) der Zählerstand von IC 216 und das Datenwort aus dem Speicher übereinstimmen, wechselt der Ausgang auf Low-Pegel.

Die Information wird nun synchron zum 7,5MHz-Takt in das D-Flip-Flop IC 217 A geschrieben. Über den Teiler durch 2 schaltet daraufhin das elfte Adreßbit des Speichers auf High-Pegel um. Nun steht am Ausgang des Speicherbausteins das Datenwort für den Wechsel auf Schwarz.

Sobald der Zählerstand von IC 216 und das Datenwort des Speichers wieder übereinstimmen, schaltet IC 217 A zurück.

Wird die Bildmitte erreicht, so wechselt mit dem Grünsignal der Pegel am zwölften Adreßbit des Speichers (A 11) von „low" nach „high". Daraufhin liegen am Datenbus des Speichers nacheinander die Ein- und Ausschaltpunkte für die rechte Bildhälfte der jeweiligen Zeile an.

Ausgekoppelt wird die einzublendende Kreisinformation am $\overline{Q}$-Ausgang des IC 217 B.

Auswahllogik

Die Auswahllogik der unterschiedlichen Flächen- und Symboldarstellungen wird über die Steuerleitungen DS 1 bis DS 8 der Testbildauswahl angesteuert.

Über die NOR-Gatter IC 207 D, IC 211 A und IC 211 B sind das Farbbalkentestbild und die Grautreppe aktivierbar (DS 5 = „low"). Liegt an DS 5 ein High-Pegel an, so kann über DS 1 bis DS 3 die Auswahl der Primärfarben Rot, Grün und Blau erfolgen.

Während für die Selektion der unterschiedlichen Symboldarstellungen der 8 : 1-Datenselektor IC 215 zuständig ist, erfolgt deren Einblendung über die UND-Gatter IC 212 A bis C.

Über die Steuerleitung DS 4 sowie den Transistor T 205 ist die Farbkomponente beim Grautreppen-Testbild abschaltbar (BAS).

Die Verknüpfung der Bildinformation mit dem Austast-Signal „Composite-Blank" erfolgt über die NOR-Gatter IC 213 A bis IC 213 C.

PAL-Encoder

Über die mit R 245 bis R 250 aufgebauten Spannungsteiler sowie die zur galvanischen Entkopplung dienenden Kondensatoren C 231 bis C 233 werden dem PAL-Encoder des Typs TPE 1378 A die Primärfarben Rot, Grün und Blau zugeführt.

Zusammen mit dem an Pin 15 zugeführten Composite-Sync-Signal generiert der Chip ein komplettes FBAS-Video-Signal. Des weiteren steht an den Pins 2, 3 und 4 das RGB-Signal in gepufferter und verstärkter Form wieder zur Verfügung.

Entgegen der sonst üblichen Praxis ist

der an Pin 19 und Pin 20 extern zugängliche Farbträger-Oszillator nicht mit einem Quarz beschaltet. Die 4,433619MHz-Farbträgerfrequenz wird im FBG 7001 vom SAA 1101 (IC 201) erzeugt, mit der Zeilenfrequenz verkoppelt und über den Spannungsteiler R 240, R 242 sowie den Koppelkondensator C 230, dem Encoder IC 223 an Pin 19 zugeführt.

Im Farbsignalweg des Encoders befindet sich ein 4,43MHz-Bandpaßfilter (BPF 201). Die durch die Einengung der Übertragungsbandbreite auf 1 bis 1,5 MHz entstehende Gruppenlaufzeit von ca. 180 ns wird durch die Verzögerungsleitung VC 201 im Y-Signalzweig wieder ausgeglichen.

Ausgekoppelt werden sowohl die RGB-Komponenten als auch das FBAS-Signal jeweils über einen Emitterfolger (T 206 bis T 209). Über die Koppelkondensatoren C 236 bis C 239 sowie die zur Impedanzanpassung dienenden Widerstände R 252 bis R 256 gelangen diese Signale auf die entsprechenden Pins der Scart-Ausgangsbuchse BU 203.

Die RGB-Schaltspannung an Pin 16 der Scart-Buchse ist mit S 202 aktivierbar.

Videoverstärker

Im Hauptschaltbild oben rechts ist der Videoverstärker des FBG 7001 zu sehen. Das vom Encoder kommende FBAS-Signal gelangt über C 215 auf die Basis des Transistors T 202. Die mit T 202 aufgebaute Stufe ist so dimensioniert, daß am Emitter und am Kollektor das Video-Signal jeweils mit gleicher Amplitude, jedoch zueinander um 180° phasenverschoben anliegt.

Je nach Stellung des Einstellpotis R 221 wird nun das nicht-invertierte oder das invertierte Video-Signal abgegriffen, wobei in Mittelstellung die Video-Ausgangsamplitude gleich 0 ist.

Ausgekoppelt wird das FBAS-Video-Signal über den mit T 203 und T 204 aufgebauten 2stufigen Videoverstärker an der BNC-Ausgangsbuchse BU 202. Die Ausgangsimpedanz des Video-Verstärkers beträgt 75 Ω.

1kHz-Pegelton-Generator

Der mit wenig Aufwand realisierte Pegelton-Generator des FBG 7001 ist als Wien-Robinson-Generator ausgeführt. Der eigentliche Oszillator ist mit IC 222 B aufgebaut, während IC 222 A in Verbindung mit R 228 und R 229 zur Erzeugung eines Bezugspotentials dient, das der halben Betriebsspannung entspricht.

Im Mitkopplungszweig des Oszillators liegt der Hochpaß, bestehend aus R 233 und C 226. Der dazu in Reihe geschaltete und signalmäßig auf Masse liegende Tiefpaß wird durch R 230 und C 225 realisiert.

Die Signalamplitude am Ausgang kann mit Hilfe des Trimmers R 232 angepaßt werden. Die Glühlampe H 1 (12 V, 20 mA) bildet mit R 231, R 232 einen Spannungsteiler und dient zur Arbeitspunktstabilisierung.

Netzteil

Im Hauptschaltbild unten rechts ist das einfach gehaltene Netzteil des FBG 7001 dargestellt. Der FBG 7001 arbeitet mit den Betriebsspannungen +12 V und +5 V.

Die von der Sekundärwicklung des vollvergossenen Netztransformators mit angespritztem Netzkabel kommende Wechselspannung gelangt über den Netzschalter und die Feinsicherung SI 201 auf den mit D 205 bis D 208 aufgebauten Brückengleichrichter.

Über die Entstördrossel L 202 gelangt die unstabilisierte Gleichspannung auf den Pufferelko C 247 und die Eingänge der beiden Festspannungsregler IC 226 und IC 227. Während der Ausgang des IC 226 die +12V-Versorgungsspannung bereitstellt, liefert der Stabilisator IC 227 an seinem Ausgang die benötigte 5V-Spannung.

Der FBG 7001 liefert Testbilder mit normgerechten Synchron- und Austastsignalen nach der PAL/CCIR-Norm

HF-Modulator (Bild 5)

Entwicklungstechnisch gesehen gehört der HF-Modulator mit PIN-Dioden-Abschwächer (Abbildung 5) zu den anspruchsvollsten und am schwierigsten zu realisierenden Baugruppen des FBG 7001.

Nicht nur die Schaltung, sondern ganz besonders auch die Anordnung der Bauelemente auf der Leiterplatte und die Leiterbahnführung spielen bei den sehr hohen Bildträgerfrequenzen eine entscheidende Rolle.

Aufgrund der günstigeren Leiterbahnführung und aus Platzgründen wurde die genaugenommen aus 2 getrennten Modulatoren bestehende Baugruppe in SMD-Technologie realisiert.

Der mit IC 300 aufgebaute Modulator überstreicht im UHF-Bereich die Fernsehkanäle 21 bis 45 (470 MHz bis 665 MHz), und der zweite mit IC 301 realisierte Modulator ist für den VHF-Bereich Band III und die Sonderkanäle 11 bis 20 zuständig.

Als Modulatorchip kommt sowohl für den UHF-Bereich als für den VHF-Bereich der Siemens-Baustein TDA5670X zum Einsatz.

Die externe Beschaltung der beiden Modulatorchips für den UHF- und VHF-Bereich sind, bis auf die Komponenten des an Pin 3 bis Pin 7 zugänglichen symmetrischen Colpitts-Oszillators, identisch aufgebaut.

Die Oszillatorfrequenz des UHF-Bereiches wird in erster Linie durch die Spule L 301 und die beiden Varicap-Dioden D 300, D 301 bestimmt. D 302 und L 303 bilden die frequenzbestimmenden Bauelemente des für den VHF- und Sonderkanalbereich zuständigen Modulators.

Sowohl für den HF-Ausgang als auch für den Oszillator besitzt der Baustein verschiedene Masseanschlüsse, die im Layout entsprechend zu berücksichtigen sind.

Um die geforderte Schirmdämpfung von 80 dB zwischen den Oszillator-Pins 3 bis 7 und dem symmetrischen HF-Mischer-Ausgang zu erreichen, ist der periphere Aufbau sehr wichtig, und es sind entsprechend aufwendige Abschirmmaßnahmen erforderlich.

Die beiden Modulatorschaltungen werden in allen wesentlichen Punkten parallel angesteuert, wobei die Versorgungsspannung über den VHF/UHF-Umschalter (S 301) entweder am UHF- oder am VHF-Modulator angelegt wird.

Das Video-Signal mit negativ gerichtetem Synchronpegel erhalten die Bausteine kapazitiv jeweils an Pin 12. Chipintern wird das Video-Signal dann auf Synchronpegel geklemmt.

Das Audio-Signal wird an Pin 1 jeweils dem integrierten FM-Modulator zugeführt. Der an den Anschluß-Pins 19 und 20 angeschlossene Parallelschwingkreis bildet mit den internen Komponenten den Tonträgeroszillator, wobei der Bedämpfungswiderstand den Bild-/Tonträger-Amplitudenabstand von 12,5 dB gewährleistet.

Letztendlich wird das FM-modulierte Ton-Signal zum Video-Signal addiert und in dem HF-Mischer zusammen mit dem Oszillator-Signal gemischt.

An den Anschlüssen Pin 15 bis Pin 17 befindet sich der symmetrische HF-Ausgang des Bausteins. Der Ausgang wird für eine gute Rest-Trägerunterdrückung mit einem Breitband-Symmetrietrafo mit sehr guter Phasengenauigkeit bei 0° und 180° beschaltet. Gleichzeitig wird durch das Windungsverhältnis von 2 : 1 des mit einem Doppellochkern aufgebauten Übertragers die Impedanz von 300 Ω symmetrisch auf 75 Ω unsymmetrisch umgesetzt.

Ausgekoppelt wird das HF-Signal kapazitiv, wobei der mit L 304, C 342 und L 305 aufgebaute Tiefpaßfilter am Ausgang des VHF-Modulators die Oberwellen im UHF-Bereich unterdrückt.

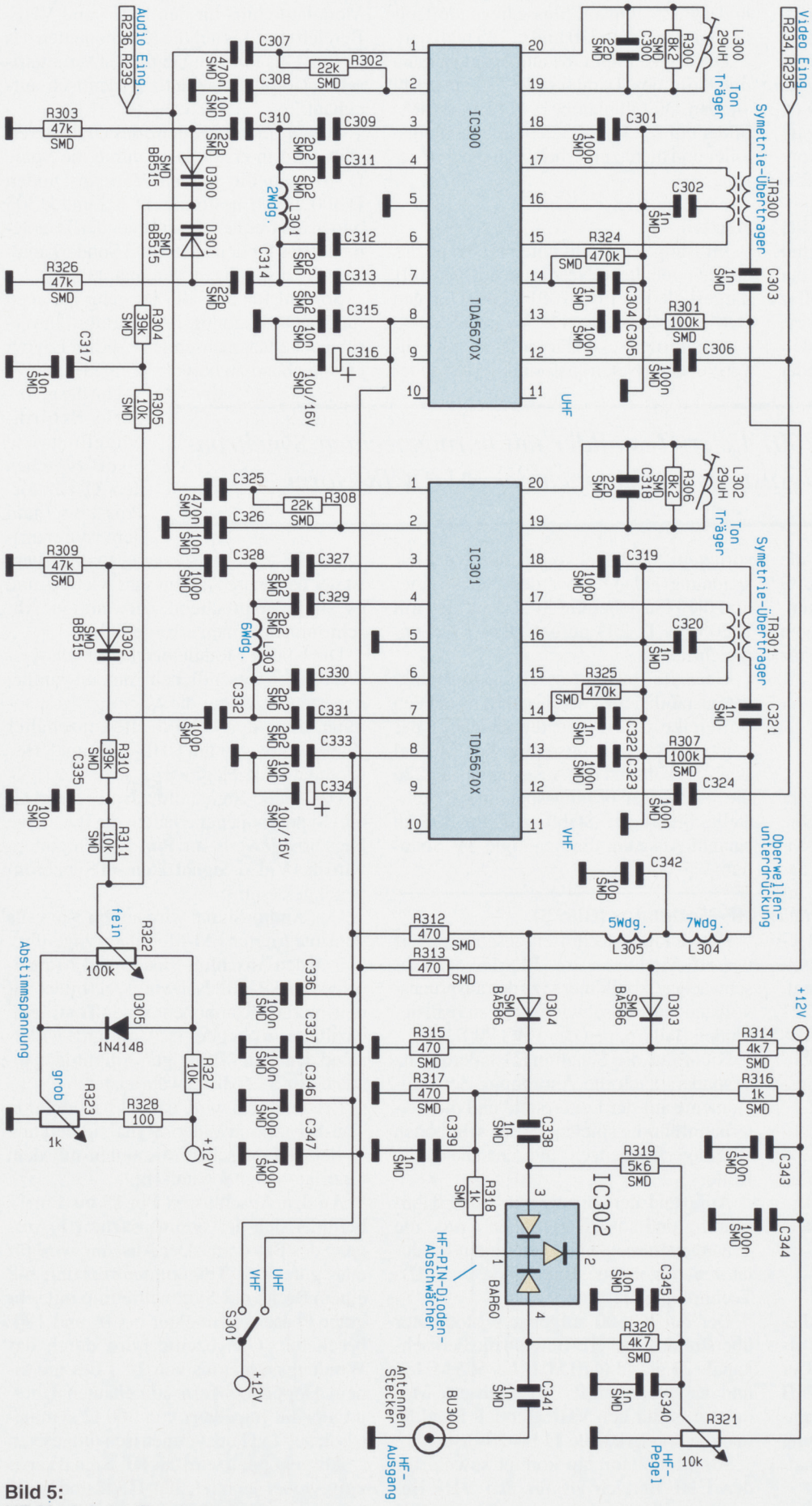


Bild 5:
HF-Modulator-Baugruppe mit PIN-Dioden-Abschwächer des FBG 7001

Die Bereichsselektion erfolgt stromgesteuert über die beiden PIN-(**P**-Intrinsic [eigenleitfähig] -**N**) Dioden D 303 und D 304.

PIN-Dioden verhalten sich oberhalb einer Frequenz von ca. 1 MHz wie ohmsche Widerstände, deren Widerstandswert sich über einen variablen Gleichstrom steuern läßt.

Während in unserer Schaltung die beiden PIN-Dioden D 303 und D 304 als reine HF-Schalter eingesetzt sind, dient das aus 3 PIN-Dioden bestehende T-Glied (IC 302) zur stufenlosen Einstellung der HF-Ausgangsamplitude.

Die Funktionsweise des mit IC 302 realisierten PIN-Dioden-HF-Abschwächers sieht wie folgt aus:

Befindet sich der Schleifer von R 321 am oberen Anschlag, so fließt ein relativ großer Gleichstrom über R 319, R 320, die beiden in Längsrichtung geschalteten PIN-Dioden sowie R 318 und R 317 zur Schaltungsmasse.

Hierdurch werden die zwischen Pin 3 und Pin 4 liegenden Dioden niederohmig (maximal leitend), und der Signalweg für das HF-Ausgangssignal wird über C 338 und C 341 freigegeben. Gleichzeitig fließt über die mit der Katode an Pin 2 angeschlossene PIN-Diode kein Strom, so daß diese für das HF-Signal maximal hochohmig (ca. 3 kΩ) wird.

Je weiter der Schleifer des Potis R 321 in Richtung Schaltungsmasse bewegt wird, desto geringer wird der Stromfluß durch die beiden in Längsrichtung liegenden PIN-Dioden, d. h. diese Dioden werden langsam hochohmiger. Ungefähr bei Schleifermittelstellung tritt zusätzlich ein Stromfluß über die an Pin 2 angeschlossene PIN-Diode auf, so daß der Innenwiderstand dieser Diode langsam sinkt und das HF-Signal zusätzlich über C 340, C345 nach Masse kurzgeschlossen wird.

Befindet sich der Schleifer von R 321 am Masseanschluß, so sind die beiden in Längsrichtung geschalteten PIN-Dioden maximal hochohmig und die an Pin 2 des IC 302 zugängliche Diode maximal niederohmig. Die maximale HF-Signaldämpfung ist somit erreicht.

Ausgekoppelt wird sowohl das VHF- als auch das UHF-Antennensignal an der HF-Ausgangsbuchse BU 300.

Im nächsten und abschließenden Teil dieser Artikelserie beschreiben wir ausführlich den Nachbau und Abgleich. ELV