

# Frequenznormal

**Dieses hochpräzise Frequenznormal leistet im Elektroniklabor wertvolle Hilfe, so z. B. bei der Überprüfung und Kalibrierung von Frequenzzählern oder als Referenzfrequenz.**

## Allgemeines

Neben der hohen Genauigkeit zeichnet sich das hier vorgestellte Frequenznormal durch einen außerordentlich günstigen Aufbau bei ausschließlicher Verwendung von Standard-Bauelementen aus. In Tabelle 1 sind die eindrucksvollen technischen Daten zusammengestellt. Besondere Schaltungsmaßnahmen sorgen dafür, daß die Signalausgänge grundsätzlich nur Frequenzen mit einer Genauigkeit von besser als  $1 \times 10^{-8}$  ausgeben. Dies bezieht sich sowohl auf die Kurzzeit- als auch auf die Langzeitstabilität (!).

Als Referenzfrequenz wird dabei die berührungsfrei abgreifbare Zeilenfrequenz von 15.625 Hz eines beliebigen, auf einen

Fernsehsender abgestimmten, Fernsehgerätes verwendet. Diese Referenzfrequenz synchronisiert phasenstarr unter Verwendung einer PLL einen 2MHz-VCO. Über eine 3stufige Teilerkette mit dem Verhältnis 10 : 1 pro Stufe stehen dann hochgenaue Referenzfrequenzen im Bereich von

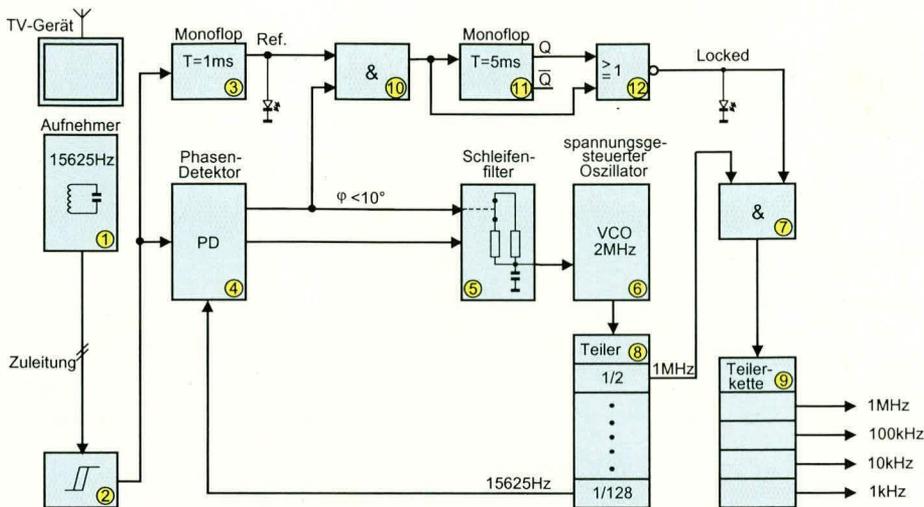
1 MHz bis hinunter zu 1 kHz zur Verfügung.

Das vom Prinzip her schon lange bekannte Verfahren der Synchronisierung auf die TV-Zeilenfrequenz erfordert bei der Schaltungsauslegung jedoch besondere Vorkehrungen, insbesondere dann, wenn eine hohe Kurzzeitkonstanz realisiert werden soll. Nach dem heutigen Stand sind alle europäischen Fernsehsender, zumindest aber die „öffentlich-rechtlichen“, zentral synchronisiert und halten senderseitig die Zeilenfrequenz theoretisch mit Genauigkeiten von  $10^{-11}$  bis  $10^{-12}$  konstant.

Aufgrund von Störeinflüssen im Studio- und Senderbereich liegt die verfügbare Genauigkeit letztendlich etwas niedriger, mindestens aber bei  $10^{-10}$ . Berücksichtigt man weitere Störeinflüsse im Bereich der

**Tabelle 1: Technische Daten FN 1000**

Langzeitkonstanz:	..... $10^{-9}$ ... $10^{-10}$
Kurzzeitkonstanz:	..... besser als $10^{-8}$
Ausgangsfrequenzen:	..... 1 MHz, 100 kHz, 10 kHz, 1 kHz
Ausgangspegel:	..... TTL, 50 $\Omega$
Versorgungsspannung:	..... 12 V- Steckernetzteil, unstabilisiert



**Bild 1: Blockschaltbild des Frequenznormals**

Übertragungskette, so steht am Empfangsort immerhin noch eine mittlere Genauigkeit von besser als  $10^{-9}$  zur Verfügung.

Die am TV-Gerät abnehmbare Referenzfrequenz ist aber aufgrund nachfolgend näher erläuterten Einflüsse nicht mit der vorher genannten Genauigkeit verfügbar:

1. Während die Langzeitkonstanz (100 sek. bis 1000 sek. Meßzeit) in einer Größenordnung von  $10^{-9}$  bis  $10^{-10}$  gegeben ist,

tritt aber sowohl durch die Übertragungsstrecke Sender-Empfänger als auch durch den Fernsehempfänger selbst

erhebliches Phasenrauschen auf. Dies führt dazu, daß sich die Kurzzeitkonstanz (1 sek. Meßzeit und weniger) um mehrere Zehnerpotenzen verschlechtert, so daß die angestrebte Genauigkeit selbst von  $10^{-8}$  nicht so ohne weiteres mehr gegeben ist.

2. Ein weiteres Problem liegt in den Phasensprüngen, die studio- oder senderseitig aufgrund von Programmwechseln oder internen Umschaltungen in gewissen Abständen auftreten. Diese Phasensprünge können Werte bis  $180^\circ$  erreichen, woraufhin die PLL erneut synchronisieren muß. Somit würde bei Standardschaltungen die VCO-Frequenz für mehrere Sekunden von der Sollfrequenz abweichen, ohne daß dies bemerkt wird.

Die zuvor genannten Tatsachen führen zu 2 verschiedenen Anforderungen im Hinblick auf die Auslegung der Regeleigenschaften der PLL. Punkt 1 verlangt eine große Regelzeitkonstante, damit die PLL das Phasenrauschen eliminiert, während

Punkt 2 eine kleine Regelzeitkonstante erfordert, damit die PLL möglichst schnell synchronisiert.

Um beide Anforderungen in bezug auf die Regelzeitkonstante zu erfüllen, arbeitet das ELV-Frequenznormal mit 2 unterschiedlichen Zeitkonstanten, die je nach Phasendifferenz zwischen Referenzfrequenz und VCO-Frequenz automatisch gewählt werden. Mit einer kleinen Zeitkonstante wird schnell auf Phasenabweichungen von weniger als  $10^\circ$  ausgeregelt.

Für den Ausgleich der restlichen Phasendifferenz und die Eliminierung des Phasenrauschens sorgt dann eine zweite wesentlich größere Zeitkonstante. Somit erhält man ein schnelles Synchronisieren auf die Referenzfrequenz bei ausgezeichneter Kurzzeitstabilität.

### Funktionsprinzip

Anhand des in Abbildung 1 dargestellten Blockschaltbildes wollen wir zunächst das Funktionsprinzip erläutern: Der im Aufnehmer (1) integrierte LC-Parallelschwingkreis ist auf die Zeilenfrequenz von 15.625 Hz abgestimmt. Die Empfindlichkeit dieses Schwingkreises reicht aus, um das Streufeld der Zeilenendstufe und der Ablenkspulen bereits in ca. 1 m Abstand zu empfangen. Ein integrierter selektiver Verstärker hebt den Signalpegel an und steuert über einen Komparator die Ausgangstreiberstufe an. Über die Zuleitung gelangt die so aufbereitete Referenz-

frequenz auf den Eingangs-Schmitt-Trigger (2) des Frequenznormals. Das Monoflop (3) wird regelmäßig durch das Referenzsignal gesetzt und überwacht auf diese Weise das Vorhandensein des Eingangssignals.

Der Phasendetektor (4) erzeugt je nach Phasenverschiebung zwischen dem Referenzsignal und der mittels des Teilers (8) durch 128 dividierten VCO-Frequenz Impulse, die durch das Schleifenfilter (5) integriert werden. Ist die Phasendifferenz kleiner als  $10^\circ$ , so öffnet der Analogschalter im Schleifenfilter, und die große Regelzeitkonstante ist aktiv. Bei Phasendifferenzen größer  $10^\circ$  ist der Analogschalter geschlossen, und die kleine Regelzeitkonstante ist wirksam. Die vom Schleifenfilter integrierten Impulse des Phasendetektors bilden die Steuerspannung für den VCO (6). Damit ist der Regelkreis geschlossen.

Der VCO arbeitet auf der 128fachen Referenzfrequenz, also bei 2 MHz. Damit der Ausgang nur Frequenzen ausgibt, die der geforderten Genauigkeit genügen, ist ein weiteres Mono-Flop (11) erforderlich. Dieses besitzt eine Haltezeit von ca. 5 sek. Fehlt das Referenzsignal oder liegt die Phasendifferenz über  $10^\circ$ , so wird das Mono-Flop über den Ausgang des NAND-Gatters (10) gesetzt. Erst wenn das Mono-Flop zurückgekippt ist und der Ausgang des NAND-Gatters auf L-Pegel liegt, wird der Signalausgang über das UND-Gatter (7) freigegeben. Die Teilerkette

(9) enthält 3 Teiler mit jeweils einem Teilerfaktor von 10, so daß Frequenzen von 1 MHz bis hinunter zu 1 kHz verfügbar sind.

### Schaltung

Die Schaltungsbeschreibung soll mit der Betrachtung des Aufnehmers gemäß Abbildung 2 beginnen. Der LC-Parallelschwingkreis ist mit  $L = 33 \text{ mH}$  und  $C = 3,3 \text{ nF}$  auf ca. 15625 Hz abgestimmt. Hiermit wird, wie schon beschrieben, das Streufeld eines Fernsehempfängers empfangen. Die Dioden D 1 und D 2 dienen zur Unterdrückung von Störimpulsen, die ansonsten auf das Gate des nachgeschalteten Feldeffekttransistors T 1 gelangen könnten. Dieser ist als Sourcefolger geschaltet und dient zur Entkopplung des Parallelschwingkreises.

Mit Hilfe von IC 1 A, der Widerstände R 2 bis R 6 sowie der Kondensatoren C 2 bis C 4 ist eine Bandfilterschaltung realisiert, deren Verstärkung bei ca. 25 liegt.

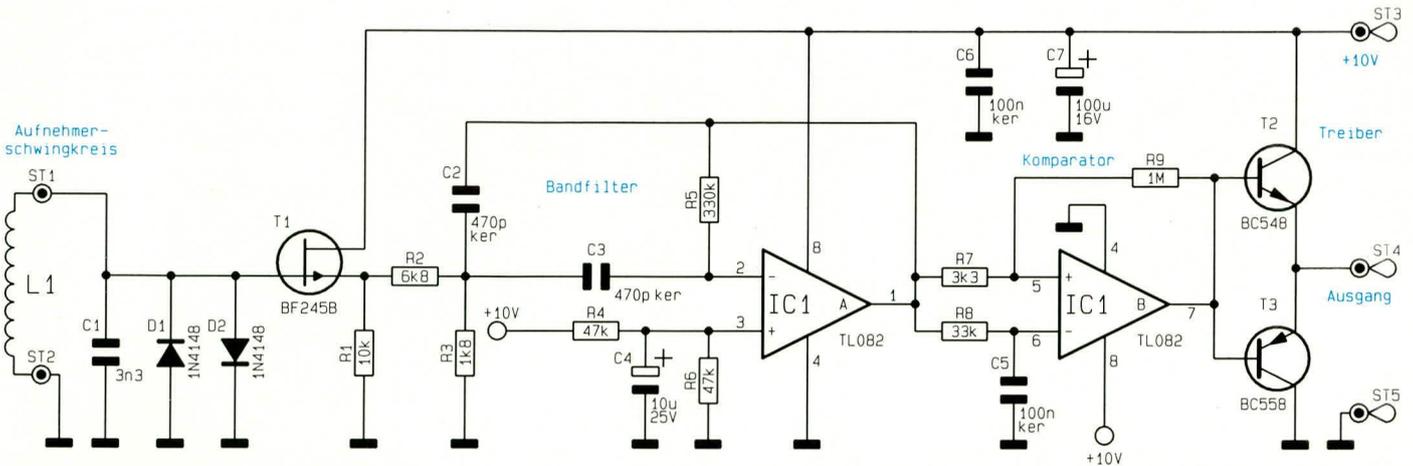


Bild 2 zeigt die Schaltung des Aufnehmers für die Zeilenfrequenz von 15.625 Hz

Die Mittenfrequenz beträgt wiederum 15.625 Hz. Der Spannungsteiler R 4, R 6 legt den Mittelwert der Ausgangsspannung auf 5 V fest, während der Kondensator C 4 an Pin 3 des IC 1 A wechsellspannungsmäßiges Massepotential schafft, was für die Funktion der Bandfilterschaltung erforderlich ist. IC 1 B mit Peripherie ist als Komparator mit Hysterese geschaltet, wobei die Vergleichsspannung durch das RC-Glied R 8, C 5 gewonnen wird. T 2 und T 4 bilden eine Komplementär-Endstufe, so daß am Ende der Übertragungsleitung an der Hauptschaltung die Referenz-

frequenz mit ausreichender Amplitude zur Verfügung steht. C 6 und C 7 dienen zur Blockung der 10V-Versorgungsspannung. Die vom Aufnehmer empfangene und verstärkte Referenzfrequenz gelangt über das Aufnahmerkabel zum Eingang der Hauptplatine, deren Schaltbild Abbildung 3 zeigt. Das Signal wird über C 8 an den Schmitt-Trigger-Eingang von IC 3 A des Typs CD4093 geführt. Hier findet eine Aufbereitung der Eingangsspannung im Hinblick auf Spannungshub und Flankensteilheit statt. R 10 sorgt für definierten Pegel, falls kein Referenzsignal vorhanden ist, während C 8 zur Brummunterdrückung dient.

Die Referenzfrequenz gelangt vom Ausgang des IC 3 A zum einen zum Signaleingang der Phasenkomparatorschaltung des IC 7 (CD4046) Pin 14 und zum anderen zum Trigger-Eingang des mit IC 6 A, R 12 und C 9 realisierten Mono-Flops. Dieses Mono-Flop überwacht, wie bereits erwähnt, das Vorhandensein der Referenzfrequenz. Es steuert sowohl die Leuchtdiode D 3 (Ref.) als auch das NAND-Gatter IC 3 B an.

Von der kompletten PLL-Schaltung IC 7

des Typs CD4046 wird hier nur der Phasendetektor  $\Phi 1$  verwendet. Der interne Oszillator des ICs besitzt aufgrund von Bauteilstreuungen einen zu großen Ziehbereich, was einer stabilen Regelung und der damit verbundenen Kurzzeitkonstanz im Wege stünde. Deshalb wird der VCO mit einem Quarzoszillator realisiert, der mit einem Trimmkondensator grob und mit 2 Kapazitätsdioden fein abstimbar ist. Die eigentliche Oszillatorschaltung bilden T 5

An Pin 4 des IC 4 liegt das durch 128 geteilte Oszillatorsignal mit einer Frequenz von 15625 Hz an, das auf den zweiten Eingang des Phasenkomparators IC 7 (Pin 3) geschaltet wird. Die Widerstände R 13 und R 15 bilden in Verbindung mit C 14 und C 15 bei geöffneten Analogschaltern IC 5 A, B die große Regelzeitkonstante.

Ist die Phasendifferenz zwischen der Referenzfrequenz an Pin 14 und der mit

Hilfe von IC 4 durch 128 geteilten VCO-Frequenz an Pin 3 größer als  $10^\circ$ , so werden die Analogschalter IC 5 A, B geschlossen. Dann

ist parallel zu R 13 der Widerstand R 14 sowie parallel zu R 15 der Widerstand R 16 geschaltet. In Zusammenwirkung mit C 24 ergibt sich somit die kleine Regelzeitkonstante.

Die an IC 7, Pin 13 anstehenden Ausgangsimpulse des Phasenkomparators werden entsprechend der ausgewählten Regelzeitkonstante aufintegriert und als Regelspannung auf den Steuerungseingang des VCOs (R 20) gegeben. Somit ist die Regelschleife geschlossen, und die PLL synchronisiert auf die Referenzfrequenz. An Pin 1 des CD4046 stehen Impulse an, die exakt synchron und zeitgleich zu den Impulsen an Pin 13 sind. Jedoch handelt es sich hierbei immer um L-Impulse, unabhängig davon, ob das Vorzeichen der Phasendifferenz positiv oder negativ ist.

Sobald eine Phasendifferenz auftritt, nimmt Pin 1 von IC 7 Low-Pegel an. R 17 und C 10 integrieren diese Impulse auf, wobei die Zeitkonstante so bemessen ist, daß bei Phasendifferenzen größer  $10^\circ$  die Schaltschwelle von IC 3 B unterschritten wird. Dann nimmt der Ausgang von IC 3 B High-Potential an. Infolgedessen wird durch Schließen der Analogschalter IC 5 A, B die kleine Zeitkonstante aktiv und das

## Überprüfung und Kalibrierung von Laborgeräten auf einfache, kostengünstige Weise

und T 6 mit Zusatzbeschaltung. Hierbei handelt es sich um einen Colpitts-Oszillator, dessen Frequenz durch den Quarz Q 1 festgelegt ist. Der Trimmkondensator C 24 sowie die Kapazitätsdioden D 6 und D 7 erlauben insgesamt ein Ziehen der Oszillatorfrequenz um ca.  $\pm 350$  Hz.

Auf den ersten Blick erscheint es ungewöhnlich, einen VCO mit einem Quarzoszillator aufzubauen, da üblicherweise mit einem VCO ein größerer Frequenzbereich überstrichen werden soll. Im vorliegenden Anwendungsfall hingegen soll die Frequenz möglichst konstant auf einem festen Wert gehalten werden, so daß bei einem genauen Abgleich der Schaltung nur geringe Differenzen auszugleichen sind. Der geringe Ziehbereich des hier eingesetzten, mit einem Quarz aufgebauten VCO kommt daher insbesondere auch der Kurzzeitstabilität des Ausgangssignals zugute. Der Transistor T 7 entkoppelt und verstärkt das Oszillatorsignal, während der Schmitt-Trigger IC 3 C ein sauberes Rechteck-Signal für den Frequenzteiler IC 4 des Typs CD4040 generiert. An dessen Ausgang Q 1 steht die durch 2 geteilte Oszillatorfrequenz von 1 MHz zur Verfügung.

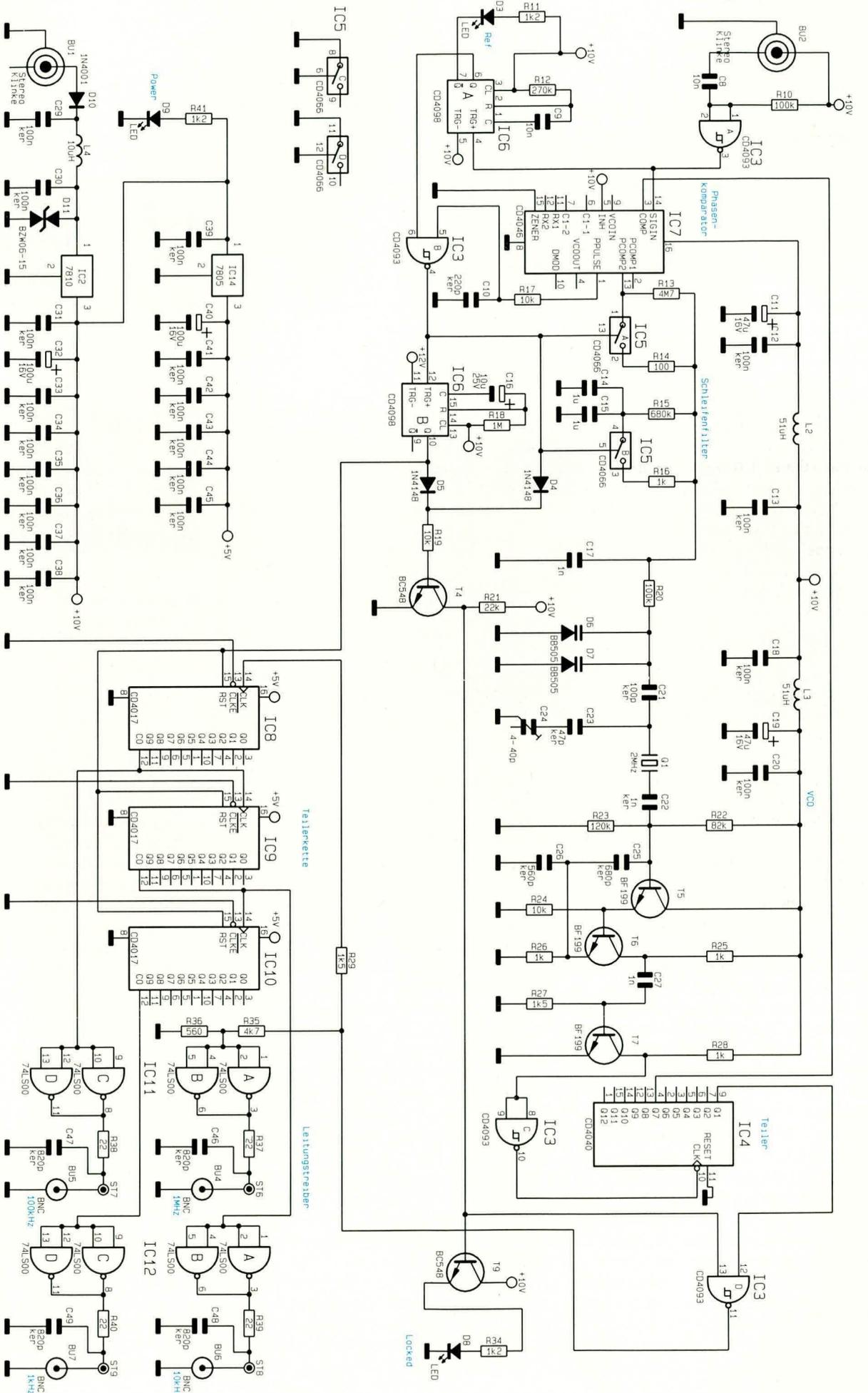
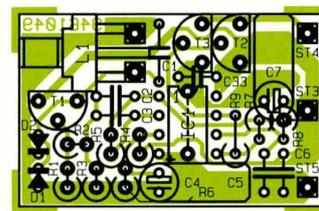
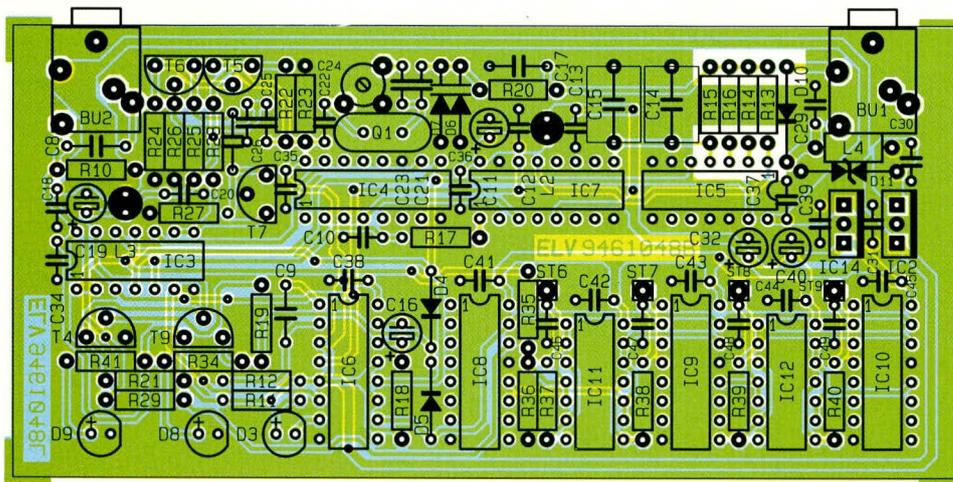


Bild 3 zeigt das Schaltbild der Hauptplatine des FN 1000



Ansicht der fertig aufgebauten Haupt- und Aufnehmerplatine



Bestückungsplan der Haupt- und Aufnehmerplatine

Mono-Flop, bestehend aus IC 6 B, R 18 und C 16, gesetzt.

Über die Schaltstufe T 4 ist der Ausgang des NAND-Gatters IC 3 D solange deaktiviert, bis der Ausgang des IC 3 B Low-Pegel führt und das Mono-Flop zurückgekippt ist. Dieses geschieht, wenn die PLL mit der kleinen Regelzeitkonstante eine Phasendifferenz von kleiner als  $10^\circ$  erreicht hat. Damit ist sichergestellt, daß das Ausgangssignal nur dann freigegeben wird, wenn die PLL eingerastet und die Phasendifferenz kleiner als  $10^\circ$  ist. Dies wird dem Benutzer über die dazugehörige Leuchtdiode D 8 (locked) signalisiert.

Die mit IC 8 bis IC 10 realisierte Teilerkette teilt das ihr angebotene Eingangssignal von 1 MHz pro Stufe durch 10, so daß am letzten Signalausgang der Teilerkette eine Frequenz von 1 kHz ansteht. Die Teiler-ICs besitzen eine gemeinsame Reset-Leitung, damit sie nach jedem Einrasten der PLL definiert zu teilen beginnen.

Damit der Innenwiderstand der BNC-Ausgänge 50  $\Omega$  beträgt, sind den Ausgängen der Teilerkette IC 11, 12 als Leitungstreiber nachgeschaltet.

Die Spannungsversorgung der Schaltung erfolgt aus einem handelsüblichen

Steckernetzteil mit 3,5mm-Klinkenstecker, das bei einem Ausgangsstrom von ca. 40 mA eine Spannung von rund 14 V zur Verfügung stellen muß. Nahezu jedes un-stabilisierte Gleichspannungssteckernetzteil mit den Angaben 12 V/300 mA oder 12 V/500 mA ist hierzu in der Lage.

Die Versorgungsspannung gelangt über die Klinkenbuchse BU 1 und die Verpolungsschutzdiode D 10 zunächst auf das mit C 29, C 30 und L 4 aufgebaute Filter. Dieses Filter soll Spannungsspitzen abschwächen, die sich eventuell auf der Zuleitung befinden könnten.

Die Festspannungsregler IC 2 und IC 14 stabilisieren die Spannungen für die einzelnen Schaltungskomponenten. Der Aufnehmer erhält seine Versorgungsspannung über BU 2. Damit ist die Schaltungsbeschreibung soweit abgeschlossen, und wir wenden uns dem Nachbau mit anschließendem Abgleich zu.

### Nachbau

Zunächst soll der Aufnehmer fertiggestellt werden. Dabei ist die einseitige Leiterplatte mit den Abmessungen 40 mm x 25 mm in gewohnter Weise anhand des

Bestückungsplanes und der Stückliste zu bestücken.

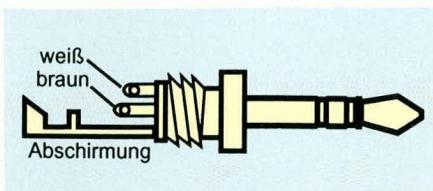
Begonnen wird mit den passiven Bauelementen wie Kondensatoren und Widerständen. Dabei ist zu beachten, daß es aufgrund der kleinen Baugröße des Aufnehmers erforderlich ist, die Widerstände stehend einzulöten. Die beiden Elektrolytkondensatoren C 4 und C 7 sind hingegen liegend einzubauen.

Die Spule L 1 muß ebenfalls, wie aus dem Foto des Aufnehmers ersichtlich ist, liegend an die Lötstifte ST 1 und ST 2 gelötet werden. Beim Einsetzen von IC 1 ist darauf zu achten, daß die Markierung am IC-Gehäuse mit der des Bestückungs-aufdruckes übereinstimmt.

Beim Anschließen des Aufnehmerkabels muß folgende Belegung eingehalten werden:

- ST 1 : braun
- ST 2 : weiß
- ST 3 : Abschirmung beider Adern.

Der 3,5mm-Klinkenstecker wird wie in Abbildung 4 dargestellt angeschlossen. Die fertige Leiterplatte ist in das vorgesehene Kunststoffgehäuse einzudrücken, wobei die Aufnehmerzuleitung in dem Schlitz an der



**Bild 4: Anschlußbelegung des 3,5mm-Klinkensteckers**

Seite liegen muß. Jetzt wird durch Einsetzen des Deckels das Gehäuse des Aufnehmers verschlossen.

Als nächstes wird die 124 mm x 60 mm messende, doppelseitige Leiterplatte der Hauptschaltung bestückt. Hier beginnen wir ebenfalls mit dem Einsetzen und Verlöten der niedrigen Bauelemente wie Dioden, Widerständen, Kondensatoren usw. Auf die Polarität der Elektrolytkondensa-

toren und das korrekte Einsetzen der ICs ist auch hier zu achten. Nachdem alle Bauteile verlötet sind, sollte nochmals die korrekte Bestückung überprüft werden.

Als nächstes wird die Blechplatte, die hinter der Frontplatte angeordnet ist, senkrecht stehend auf der Basisplatte verlötet. Sie muß dabei mit der Platinenkante abschließen. Die 3 LEDs werden so abgewinkelt und verlötet, daß sie von außen durch die Löcher in der Blechplatte sichtbar sind.

Als dann folgt die Montage der 4 BNC-Buchsen, die dazu durch die dafür vorgesehenen Löcher geschoben und auf der Rückseite der Blechplatte verschraubt werden. Dadurch ergibt sich ein sicherer Massekontakt. Die Verbindung der Lötstifte, an denen die Ausgangssignale anstehen, mit den entsprechenden BNC-Buchsen erfolgt über kurze Drahtabschnitte.

### Stückliste: Frequenznormal

#### Widerstände:

22Ω	R37 - R40
100Ω	R14
560Ω	R36
1kΩ	R16, R25, R26, R28
1,2kΩ	R11, R34, R41
1,5kΩ	R27, R29
1,8kΩ	R3
3,3kΩ	R7
4,7kΩ	R35
6,8kΩ	R2
10kΩ	R1, R17, R19, R24
22kΩ	R21
33kΩ	R8
47kΩ	R4, R6
82kΩ	R22
100kΩ	R10, R20
120kΩ	R23
270kΩ	R12
330kΩ	R5
680kΩ	R15
1MΩ	R9, R18
4,7MΩ	R13

#### Kondensatoren:

47pF/ker	C23
100pF/ker	C21
220pF/ker	C10
470pF/ker	C2, C3
560pF/ker	C26
680pF/ker	C25
820pF/ker	C46 - C49
1nF	C17, C27
1nF/ker	C22
3,3nF	C1
10nF	C8, C9
100nF/ker	C5, C6, C12, C13, C18, C20, C29 - C31, C33 - C39, C41 - C46
1µF	C14, C15

10µF/25V	C4, C16
47µF/16V	C11, C19
100µF/16V	C7, C32, C40
C-Trimmer, 4 - 40pF	C24

#### Halbleiter:

TL082	IC1
7810	IC2
CD4093	IC3
CD4040	IC4
CD4066	IC5
CD4098	IC6
CD4046	IC7
CD4017	IC8 - IC10
74HC00	IC11, IC12
7805	IC14
BF199	T5 - T7
BF245B	T1
BC548	T2, T4, T9
BC558	T3
1N4001	D10
1N4148	D1, D2, D4, D5
BB505	D6, D7
BZW06-23	D11
LED, 3mm, rot	D3, D8, D9

#### Sonstiges:

Quarz, 2MHz	Q1
Eingangsspule, 33mH	L1
Spule, 14µH	L4
Spule, 51µH	L2, L3
Klinkenbuchse, stereo	BU1, BU2
BNC-Einbaubuchsen	BU4 - BU7
9 Lötstifte mit Lötöse	
1 microline-Gehäuse, bedruckt und gebohrt	
1 Frontplatte, bedruckt und gebohrt	
1 Abschirmgehäuse	
10cm Schaltdraht	
2,8 m Kabel, MK2	

## Inbetriebnahme und Abgleich

Nachdem das Steckernetzteil und der Aufnehmer an die entsprechenden Buchsen angeschlossen wurden, sollten zunächst die beiden Betriebsspannungen von 5 V und 10 V mit einem Multimeter kontrolliert werden. Abweichungen von  $\pm 5\%$  vom Sollwert sind zulässig. Bei größeren Abweichungen muß das Gerät unverzüglich von der Spannungsversorgung getrennt und der Fehler behoben werden. Nach erfolgreichem Abschluß vorstehender Arbeitsschritte wird der Aufnehmer in unmittelbarer Nähe eines auf einen Sender abgestimmten Fernsehgerätes gebracht (an günstiger Stelle auf das Fernsehgerät legen). Bei korrekt arbeitendem Aufnehmer leuchtet jetzt die LED „Ref.“ auf.

Im folgenden Schritt kommen wir nun zum Abgleich des Frequenznormals. Hierzu wird mit einem Abgleichstift oder einem kleinen Schraubendreher der Trimmkondensator C 24 solange gedreht, bis die LED „locked“ aufleuchtet und das Einrasten der PLL signalisiert. Es ist dabei zu beachten, daß nach jedem Verdrehen des Trimmers ca. 5 sek. gewartet wird, da erst danach das Mono-Flop zurückkippt und die LED zu leuchten beginnt.

Ist das Einrasten erfolgt, muß mit einem hochohmigen Multimeter (Innenwiderstand mindestens 10 MΩ) die Regelspannung des VCO-Eingangs R 20 kontrolliert werden. Diese sollte im Bereich von 4,5 V bis 5,5 V liegen. Damit ist sichergestellt, daß der VCO ungefähr in der Mitte des Aussteuerbereichs arbeitet. Der Abgleich ist damit bereits abgeschlossen.

## Endmontage

Nach erfolgreich beendetem Abgleich kommen wir zur endgültigen Fertigstellung des Gerätes. Hierzu wird der Abschirmdeckel an den dafür vorgesehenen Biegekanten passend gebogen. Dabei muß die Bohrung in der Oberseite direkt über dem Trimmerkondensator C 24 liegen. Nach Positionierung des Deckels wird dieser mit der Platine und der Blechplatte verlötet.

Jetzt kann der Einbau in das ELV-microline-Gehäuse erfolgen, indem die fertiggestellte Hauptplatine in die unteren Führungsschienen des Gehäuses eingeschoben wird. Durch leichten Druck auf die Blechplatte wird die Hauptplatine ganz in das Gehäuse geschoben. Als letzter Arbeitsschritt folgt das Einsetzen der Frontplatte, die bis zum Einrasten in das Gehäuse gedrückt wird. Jetzt steht dem Einsatz dieses hochwertigen und dabei sehr preiswerten Frequenznormals nichts mehr im Wege.

**ELV**