

RLC-Meßbrücke RLC 9000 Teil 3

Im dritten Teil dieses Artikels schließen wir die Schaltungsbeschreibung mit der Erläuterung des analogen Signalweges ab.

Meßsignalerzeugung (Bild 6)

Das 32 MHz-Taktsignal für den gesamten Meßzweig wird von dem integrierten Quaroszillator Q 1 bereitgestellt. Durch Mehrfachteilung werden aus diesem Takt die 4 um jeweils 90° gegeneinander verschobenen 1 kHz-Rechtecksignale erzeugt. Dabei bildet das 1 kHz-0°-Signal die Ausgangsbasis für das Meßsignal. Die übrigen 1 kHz-Signale werden für den phasenselektiven Gleichrichter und die Ablaufsteuerung des AD-Wandlers benötigt.

Das 32 MHz-Rechteck-Signal gelangt auf den 4 Bit-Binärlzähler IC 101, an dessen Ausgang Q D der durch 16 geteilte Takt von 2 MHz bereitsteht, der wiederum auf das als Teiler durch 20 geschaltete IC 102 gelangt. An dessen Ausgang Q C liegt jetzt ein Rechteck-Signal von 100 kHz mit einem Puls-Pausen-Verhältnis von 2 : 3 an, das auf die Teilerkette IC 103 A, B gelangt, die nach 2facher Teilung jeweils durch 5 einen Takt von 4 kHz für das Schieberegister generiert. Dieser 4 kHz-Takt mit einem Puls-Pausen-Verhältnis von 2 : 3 wird nochmals durch 4 geteilt.

Am Ausgang Q A des IC 103 B liegt nun ein 1 kHz-Rechteck-Signal mit einem Puls-Pausen-Verhältnis von 1 : 1 an, das mit dem 4 kHz-Takt durch das Schieberegister IC 104 geschoben wird. An den Ausgängen Q A, Q B, Q C und Q D dieses Schieberegisters liegen somit die vier 1 kHz-Rechteck-Signale mit je 90°-Phasenverschiebung an.

Meßsignalformung (Bild 7)

Das 1 kHz-0°-Rechteck-Signal gelangt auf die in Abbildung 7 gezeigte Meßsignalformung. Mit Hilfe der Pegelverschiebung R 102, R 103 und den Begrenzungsdioden D 100, D 101 wird die Amplitude des Rechteck-Signals auf ± 600 mV begrenzt. Im Anschluß an eine 3,3fache Verstärkung steht am Ausgang des Verstärkers IC 100 A ein Rechteck-Signal mit einer Amplitude von ± 2 V zur Verfügung. Mit Hilfe des Bandpasses 4. Ordnung, aufgebaut mit IC 100 B, C und Zusatzbeschaltung, entsteht daraus ein Sinus-Signal mit einer Frequenz von 1 kHz.

Am Ausgang des Abschwächers IC 100 D liegt somit ein 1 kHz-Sinus-Signal mit einem Spitzenwert von ca. 2 V an, dem mit Hilfe des CMOS-Schalters IC 205 noch eine BIAS-Spannung von 2 V überlagert werden kann. Dies ist z. B. notwendig, wenn gepolte Bauteile zu messen sind, bei denen keine negativen Spannungen auftreten dürfen (z. B. bei Elkos).

Das Meßsignal gelangt anschließend über die Widerstände R 114, 115 und die Ausgangsbuchsen ST 5 und ST 6 zum Prüfling.

Meßsignalauswahl (Bild 8)

Über die Sense-Leitungen an ST 4 und ST 7 oder, falls diese nicht genutzt werden, über die Koppelwiderstände R 200 und R 201 gelangt die über dem Prüfling anliegende Spannung zur Meßsignalauswahl.

Hierbei wird die anliegende Spannung mit Hilfe des Kondensators C 200 gleichspannungsmäßig entkoppelt und auf den Puffer IC 200 A geführt. Das Ausgangssignal dieses Puffers gelangt einerseits auf den im Bereich von 0 bis 1/2 einstellbaren invertierenden Verstärker IC 200 B, der über C 201 die parasitären Kapazitäten kompensiert und andererseits auf den CMOS-Schalter IC 204, mit dem zwischen Strom- und Spannungsmessung gewählt werden kann.

Für die Spannungsmessung ist der aus IC 201 A, B, IC 203 sowie R 207 bis 210 aufgebaute Differenzverstärker so geschaltet, daß die Spannung an den Sense-Leitungen, also die Spannung über den Prüfling, gemessen wird. Bei der Strommessung erfolgt die Messung des Spannungsabfalls am Widerstand R 205 bzw. R 206. Diese Spannung ist proportional dem Strom durch den Prüfling.

Der I/U-Wandler IC 202 A, R 205 und R 206 ist mit dem CMOS-Schalter IC 205 in 2 Empfindlichkeitsstufen schaltbar (0 bis 2 mA oder 0 bis 200 μ A).

Der Ausgang des I/U-Wandlers wird mit Hilfe des Kondensators C 210 sowie IC 202 B äquivalent zum Spannungszweig gleichspannungsmäßig entkoppelt und über den Auswahlwähler IC 204 dem Differenzverstärker zugeführt.

Am Ausgang des Differenzverstärkers liegt eine der 3 auswählbaren Meßsignale mit einem Spitzenwert von maximal 2 V an, die den in Abbildung 9 gezeigten Meßverstärkern zugeführt werden.

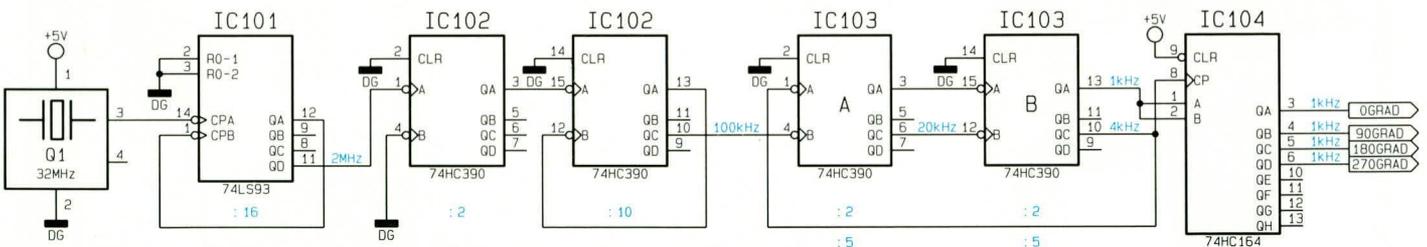
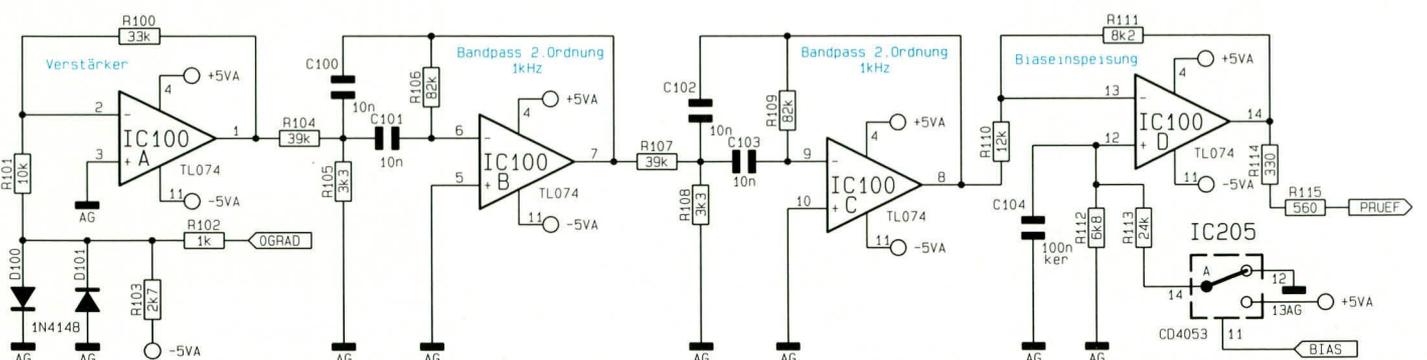


Bild 6 (oben): Meßsignalerzeugung. Bild 7 (unten): Meßsignalformung



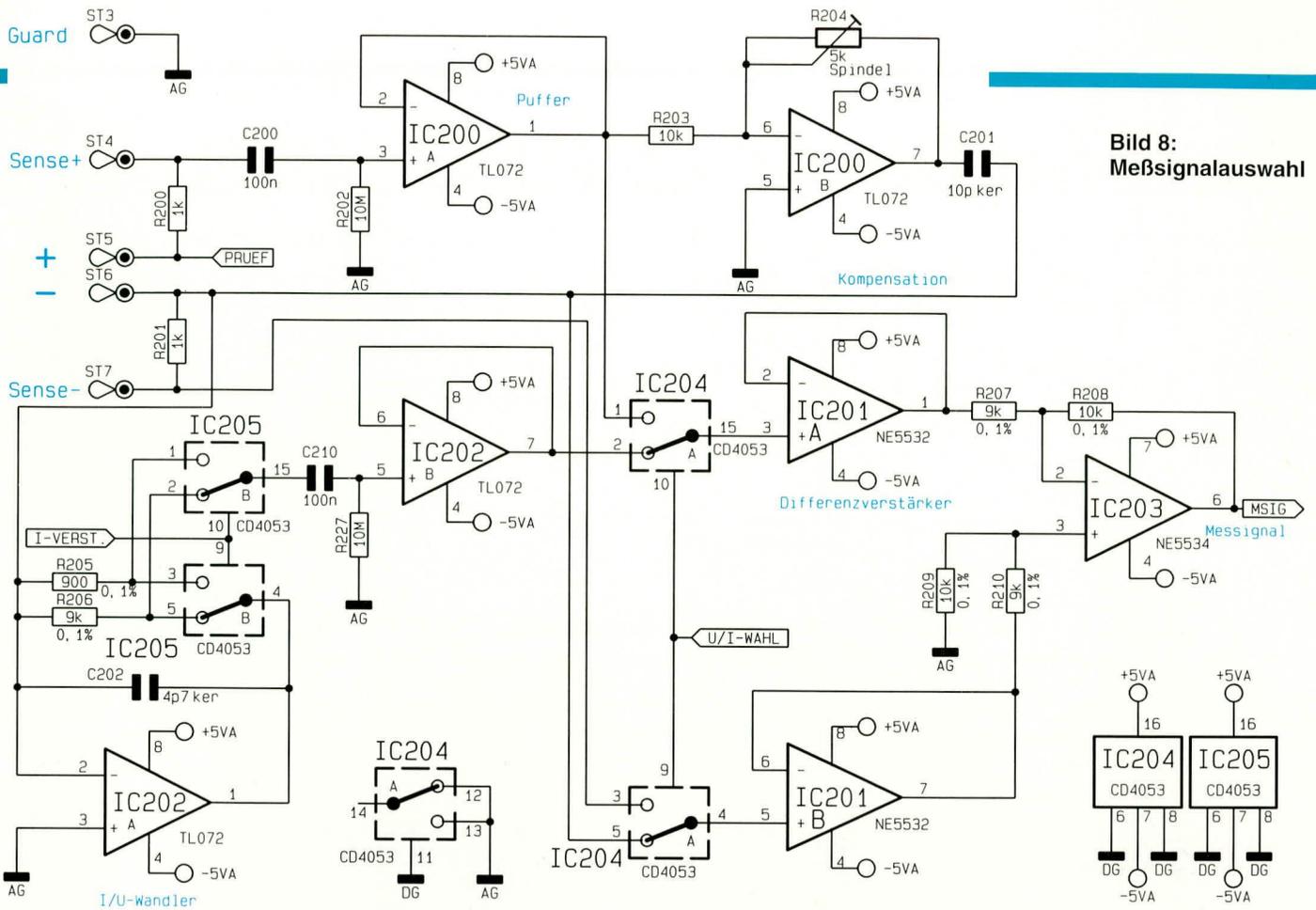


Bild 8:
Meßsignalauswahl

Tabelle 4 gibt Aufschluß über die Auswahlmöglichkeiten.

Meßverstärker (Bild 9)

Das Meßsignal gelangt auf 3 Präzisionsverstärker IC 207 A, B, C mit den Verstärkungsfaktoren 1, 10 und 100. Mit Hilfe des

CMOS-Mehrfachschalters IC 208 ist somit eine Auswahl der Verstärkung 0, 1, 10 oder 100 möglich (Tabelle 5).

Die Verstärkung 0 (d. h.: der Eingang des nachfolgenden Verstärkers liegt auf Masse) ist erforderlich, um eine Referenzmessung zum Abgleich des phasenselekti-

Tabelle 4
Meßsignalauswahlmöglichkeiten

Meßsignal	U/I-WAHL	I-VERST.
U _{Prüfung}	High	High
I _{Prüfung}	Low	High
I _{Prüfung} /10	Low	Low

Tabelle 5 Verstärkungsfaktoren

Verstärkung	VERST.1	VERST.2
0	Low	Low
1	High	High
10	Low	High
100	High	Low

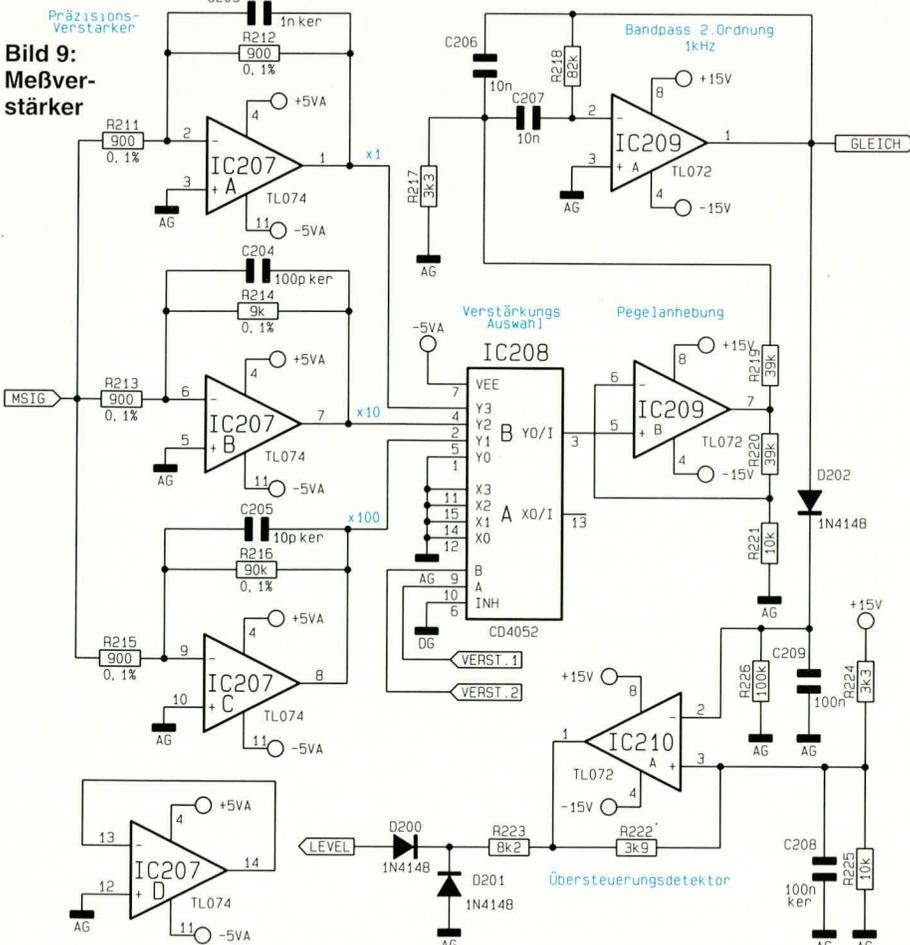


Bild 9:
Meßverstärker

ven Gleichrichters und des AD-Wandlers durchführen zu können.

Da die CMOS-Schalter nur eine Eingangsspannung von ± 5 V verarbeiten können, erfolgte auch die Versorgung des zuvor beschriebenen Teiles des Meßzweiges ausschließlich mit ± 5 V, d. h. alle Amplitudenpegel in diesem Bereich liegen bei ca. ± 3 V, um die Operationsverstärker und CMOS-Schalter nicht zu übersteuern. Im weiteren Verlauf der nun folgenden Schaltungsteile sind keine CMOS-Schalter mehr enthalten. Zur Erzielung eines möglichst hohen Störabstandes arbeiten die weiteren Operationsverstärker mit einer Versorgungsspannung von ± 15 V, und die maximalen Pegel sind in diesem Bereich auf ± 12 V angehoben. Dies wird mit Hilfe des Verstärkers IC 209 B vorgenommen.

Im Anschluß an die Pegelanhebung folgt ein Bandpaß zweiter Ordnung (IC 209 A)

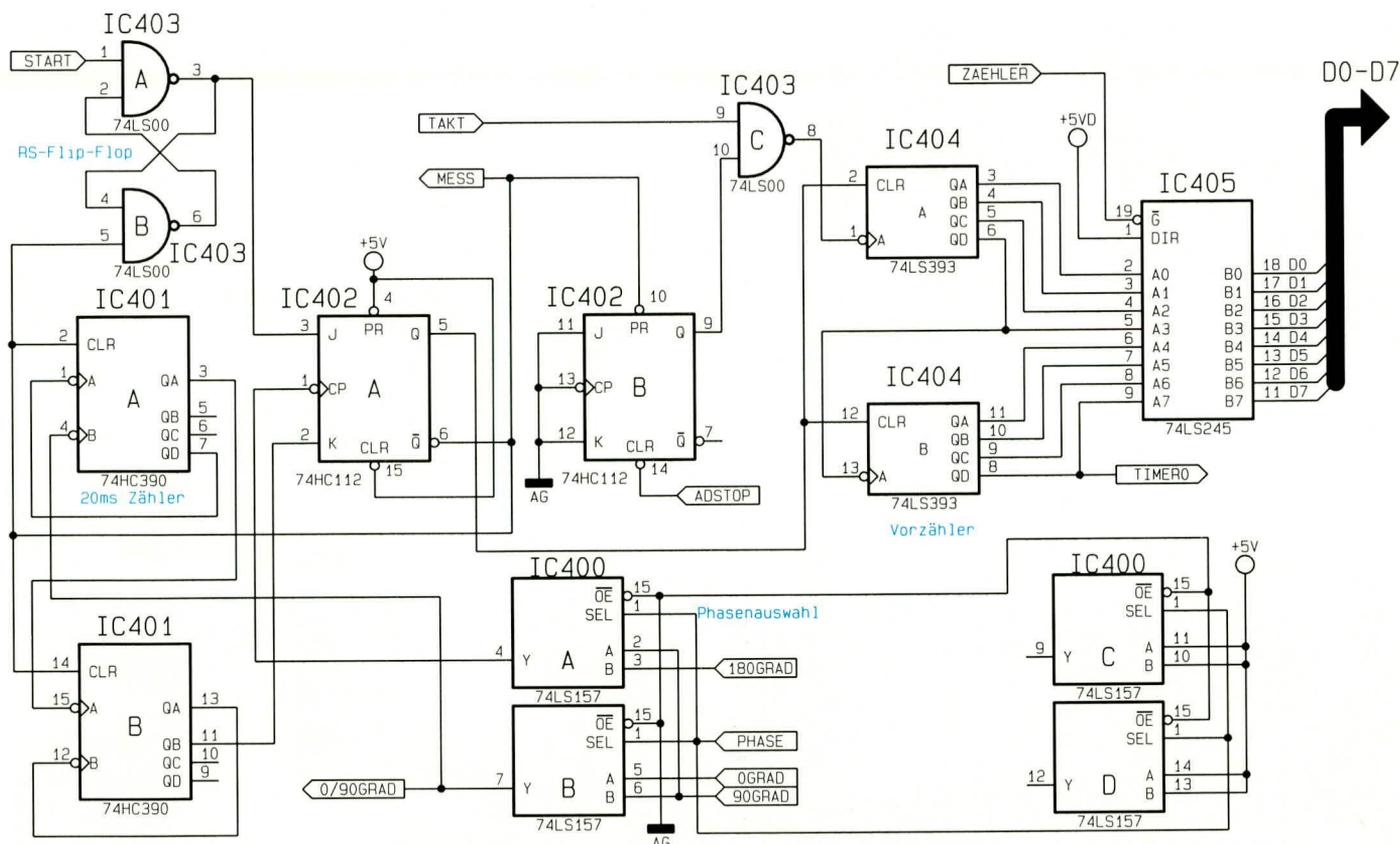


Bild 10: Gleichrichter- und AD-Wandler-Steuerung

zur Herausfilterung von Störungen auf dem Meßsignal. Das so aufbereitete Meßsignal gelangt einerseits auf den phasenselektiven Gleichrichter und andererseits auf den Übersteuerungsdetektor IC 210 A mit Zusatzbeschaltung.

Sobald der Gleichrichter ein Signal zugeführt bekommt, dessen Spitzenwert den Wert von 11,8 V überschreitet, schaltet der als Komparator arbeitende Operationsverstärker IC 210 A um, und sein Ausgang strebt in Richtung -15 V.

Durch die Begrenzerdioden D 200, 201 wird das Ausgangssignal auf 0 V begrenzt und anschließend dem Prozessor zugeführt. Dieser kann daraufhin die Verstärkung solange zurücknehmen, bis der Gleichrichter nicht mehr übersteuert wird.

Gleichrichter- und AD-Wandler-Steuerung (Bild 10)

Wir wenden uns nun zunächst der in Abbildung 10 dargestellten Steuerung des AD-Wandlers sowie des Gleichrichters zu.

Der im Dual-Slope-Verfahren aufgebaute AD-Wandler arbeitet in 3 Betriebszuständen. Im Reset-Mode wird der Integrator des AD-Wandlers auf der Schaltschwelle des Komparators gehalten, um die nachfolgende Messung vorzubereiten. Anschließend startet die Messung synchron zum Meßsignal, und zwar genau innerhalb einer Austastlücke des phasenselektiven Gleichrichters. Dabei wird exakt 20 ms lang das Meßsignal mit dem Integrator aufintegriert.

Nach Ablauf der 20 ms folgt die Deintegrationsphase. Hierzu wird das Meßsignal

abgeschaltet und die Ladung im Integrationskondensator mit Hilfe einer konstanten Referenzspannung wieder abintegriert. Während dieser Phase erfolgt eine Zählung der Taktperioden des 32 MHz-Taktoszillators. Sobald die Schaltschwelle des Komparators erreicht ist, wird der Reset-Mode des AD-Wandlers wieder aktiviert. Der Zählerstand wird jetzt vom Prozessor übernommen und ausgewertet. Ein neuer Meßzyklus kann beginnen.

Da der Gleichrichter im Analogzweig phasenselektiv ist, muß auch die komplette Steuerung für 2 verschiedene Phasenwinkel, nämlich für 0° und für 90° konzipiert sein. Die Auswahl, welcher Phasenwinkel aktiv ist, erfolgt über die Prozessorleitung „PHASE“.

Die nachfolgende Beschreibung gilt für beide Phasenfälle, wobei die Angaben für die 90°-Phasenselektion in Klammern () angegeben sind. Die Auswahl der verschiedenen 1 kHz-Signale geschieht über den Daten-Selektor IC 400 und die Prozessorsteuerleitung „PHASE“.

Mit einem Low-Startimpuls an Pin 1 des Gatters IC 403 A wird das aus IC 403 A, B aufgebaute RS-Flip-Flop gesetzt, und Pin 3 geht auf High-Pegel. Bei der nächsten negativen Flanke des 1 kHz-90° (180°)-Referenzsignals an Pin 1 des JK-Flip-Flops IC 402 A wird der Zustand der JK-Eingänge an die Ausgänge Q und \bar{Q} übernommen. Der Ausgang Q nimmt somit High- und der Ausgang \bar{Q} Low-Potential an.

Mit dem Ausgang Q werden daraufhin die Zähler IC 404 A, B zurückgesetzt und mit dem Ausgang \bar{Q} das RS-Flip-Flop IC 403 A, B gelöscht. Zusätzlich wird der 20 ms-Zähler IC 401 A, B freigegeben sowie das als RS-Flip-Flop geschaltete JK-

Flip-Flop IC 402 B zurückgesetzt und damit der AD-Wandler auf „Integrieren des Meßsignals“ geschaltet.

Das 1 kHz-0° (90°)-Referenzsignal taktet den 20 ms-Zähler IC 400 A, B so, daß nach 20 ms (20 Takte) der Ausgang QB und damit auch der Eingang K des JK-Flip-Flops High-Potential annimmt. 250 μ s (1/4 Taktperiode des 1 kHz-Signals) später wird der Zustand der J- und K-Eingänge durch die negative Flanke des 1 kHz-Signals an den Ausgang übernommen. Q nimmt Low-Potential an, d. h. der Zähler IC 404 ist zählbereit, und \bar{Q} nimmt High-Potential an, wodurch der 20 ms-Zähler zurückgesetzt und der AD-Wandler auf „Abintegrieren mit Referenz“ geschaltet wird.

Während der Zeit, in welcher der AD-Wandler abintegriert, gelangen die 32 MHz-Taktimpulse über das Zählertor IC 403 C zum 8 Bit-Zähler IC 404 und takten diesen bei jedem Impuls um 1 weiter. Bei einem Überlauf des Zählers (QD von IC 404B wechselt von „high“ nach „low“) wird der interne Zähler des Prozessors um 1 weitergeschaltet. Da die Taktfrequenz für die internen Zähler des Prozessors zu hoch ist, kommt eine 8 Bit-Vorteilung zum Einsatz.

Hat der AD-Wandler seine Abintegrierphase beendet (ADSTOP geht auf „low“), wird das RS-FlipFlop IC 402 B gesetzt und das Zählertor IC 403 C geschlossen. Der Zählvorgang ist damit abgeschlossen, und der Prozessor kann über eine externe Adresse den Zählerstand des Vorzählers IC 404 über den Bustreiber IC 405 abfragen.

Im folgenden Teil dieses Artikels kommen wir zur Beschreibung des AD-Wandlers und des praktischen Aufbaus des RLC 9000.