

# Mikrocontroller-Grundlagen

## Teil 2

Im zweiten Teil dieser Artikelserie befassen wir uns mit der Reset-Schaltung gefolgt von der ausführlichen Beschreibung der verschiedenen Beschaltungsvarianten der MCS-51-Familie.

### 2.4 Reset

Nach dem Anlegen der Versorgungsspannung muß der Mikrocontroller in einen definierten Anfangszustand gebracht werden. Diese Aufgabe übernimmt der interne Reset-Schaltungsteil. Chipintern ist am Reset-Anschluß ein Widerstand von 50-100 kΩ nach Masse integriert.

Schaltet man nun extern einen Kondensator mit einer Kapazität von 10 µF nach +5 V, so wird nach dem Einschalten zunächst, bedingt durch den entladenen Kondensator am Reset-Pin, ein High-Pegel anliegen, der nach Ablauf der Aufladezeit des Kondensators in Richtung 0 V wandert.

Auf dem Chip ist ein Schmitt-Trigger-Gatter integriert, das hieraus ein steilflankiges Signal macht, welches im Prozessor zu verschiedenen Initialisierungen führt.

Abbildung 7 a zeigt die Standard-Reset-Beschaltung der MCS-51-Familie.

Da einige Derivate den Pull-down-Widerstand auch hochohmiger ausführen oder ganz weglassen, ist es sinnvoll, zur Sicherheit einen externen Widerstand von 10 kΩ parallel zu schalten.

Die eingezeichnete Diode dient zum Schutz des Eingangs vor einer negativen Überspannung, die beim Ausschalten der Versorgungsspannung durch den aufgeladenen Kondensator kurzzeitig entsteht.

Das Zurücksetzen des Prozessors läßt sich auch durch ein TTL/CMOS-Gatter gemäß Abbildung 7 b vornehmen.

Durch das Rücksetzsignal werden verschiedene interne Register, Timer und die Ports gemäß Tabelle 3 initialisiert, so daß die genannten Register in einen definierten Anfangszustand versetzt werden. Nachdem nun die Reset-Schaltung wieder inaktiv geworden ist, beginnt der Programmablauf mit dem Abarbeiten des ersten Befehls, der im internen bzw. externen Programmspeicher ab der Adresse 0 erwartet wird.

### 2.5 Stand-Alone-System

Abbildung 8 zeigt die Minimalbeschaltung eines 80(C)51/52-Systems. Neben der Versorgungsspannung ist zum Betrieb mindestens die Reset- und Oszillatorbeschaltung notwendig. Die Ports 0 bis 3 stehen dann komplett für die Anwendung frei zur Verfügung.

Das Betriebsprogramm für den Prozessor ist beim 8051 oder 8052 herstellereitig fest einprogrammiert und somit für eigene Anwendungen nicht einsetzbar. Während der Entwicklungsphase einer Steuersoftware kann z.B. auch die EPROM-Version 8751 oder 8752 Einsatz finden, ohne daß ein externer Programmspeicher erforderlich ist.

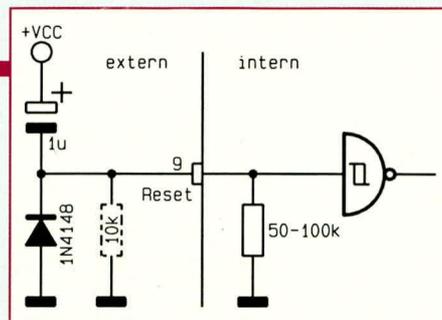


Bild 7 a: Standard-Reset-Beschaltung der MCS-51-Familie

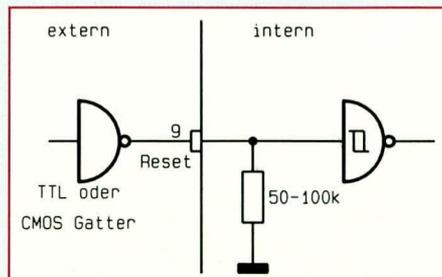


Bild 7 b: Reset über ein externes Gatter

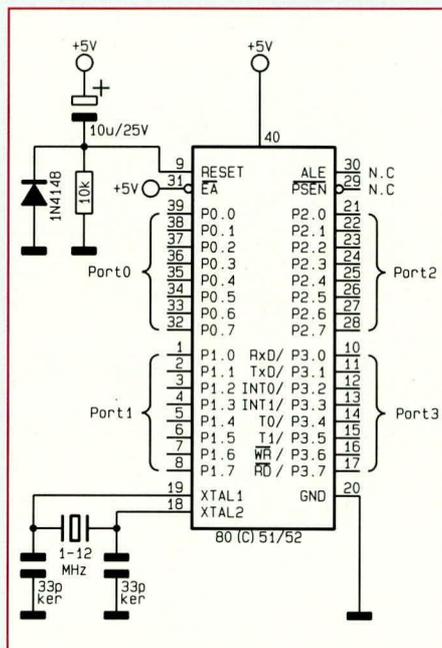


Bild 8: Minimalbeschaltung des 80(C)51/52

Bild 9: Blockschaltbild eines 80(C)31/32 mit externem Programmspeicher

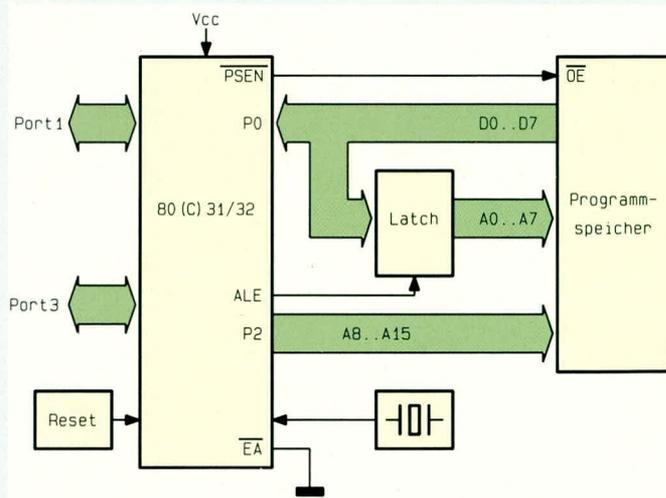
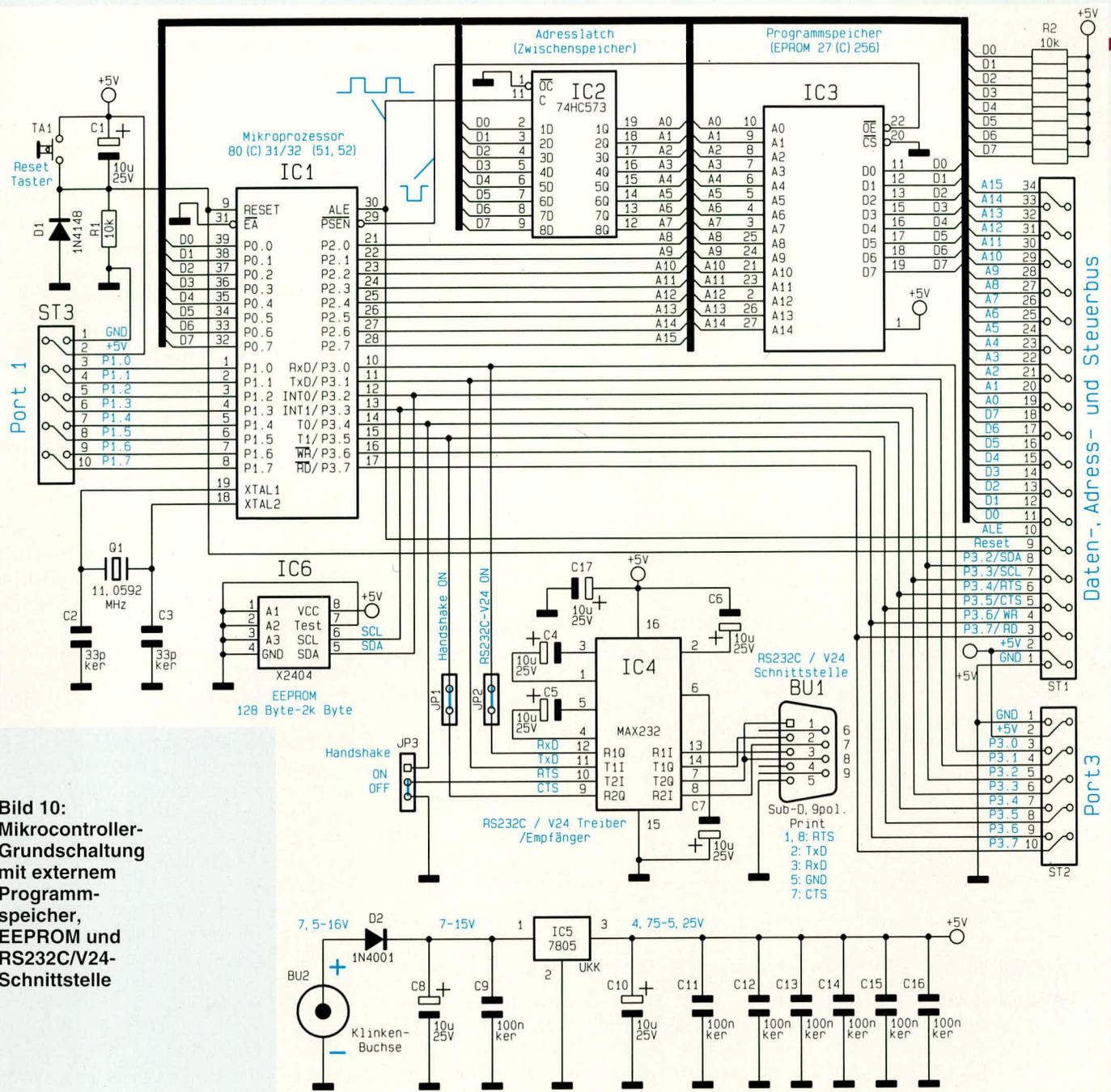


Tabelle 3: Initialisierungszustand nach Zurücksetzen des Prozessors

Name	Bedeutung	Inhalt
PC	Program-Counter	0000H
A	Akkumulator	00H
B	Hilfsakkumulator	00H
PSW	Program-Status-Word	0000 0000B
SP	Stack-Pointer	07H
DPTR (DPL, DPH)	Data-Pointer	0000H
P0	Port 0	1111 1111B
P1	Port 1	1111 1111B
P2	Port 2	1111 1111B
P3	Port 3	1111 1111B
IP	Interrupt-Priority-Register	xxx0 0000B
IE	Interrupt-Enable-Register	0xx0 0000B
IMOD	Timer-Mode-Register	0000 0000B
TCON	Timer-Control-Register	0000 0000B
TLO	Timer 0 Register (Low-Byte)	00H
THO	Timer 0 Register (High-Byte)	00H
TL1	Timer 1 Register (Low-Byte)	00H
TH1	Timer 1 Register (High-Byte)	00H
SCON	Serial-Control-Register	00H
SBUF	Serial-Buffer	undefiniert
PCON	Power-Control-Register	0xxx 0000B



**Bild 10:** Mikrocontroller-Grundschaltung mit externem Programmspeicher, EEPROM und RS232C/V24-Schnittstelle

## 2.6 Betrieb mit externem Programmspeicher

Abbildung 9 zeigt den grundsätzlichen Aufbau einer MCS-51-Controller-Schaltung mit externem Programmspeicher. Neben dem eigentlichen Mikroprozessor ist noch die Reset- und Oszillatorbeschaltung sowie ein 8-Bit-Latch notwendig.

Da der Mikroprozessor einen gemultiplexten Daten- und Adreßbus besitzt, müssen für jeden Zugriff auf den externen Programmspeicher die Adressen A0 bis A7 in einen Zwischenspeicher (Latch) übernommen werden. Ist die Adresse angelegt, kann über den Daten- und Adreßbus der 8-

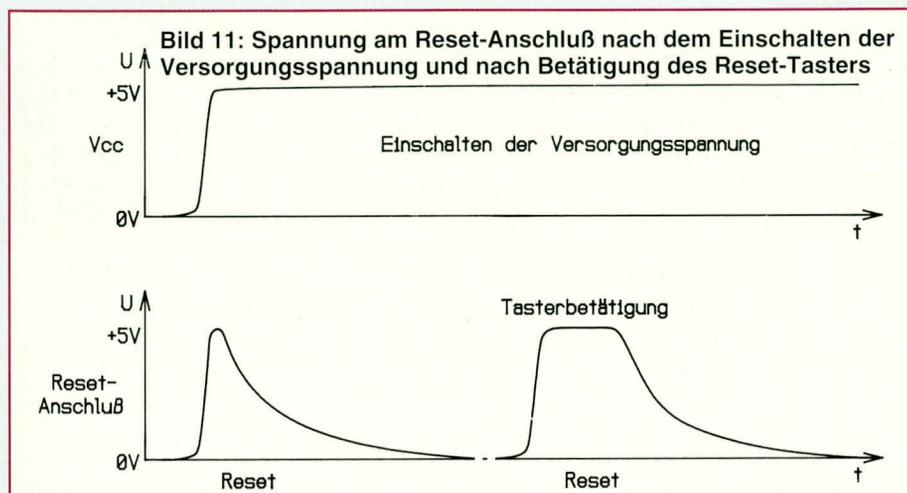
Bit-Befehl gelesen werden.

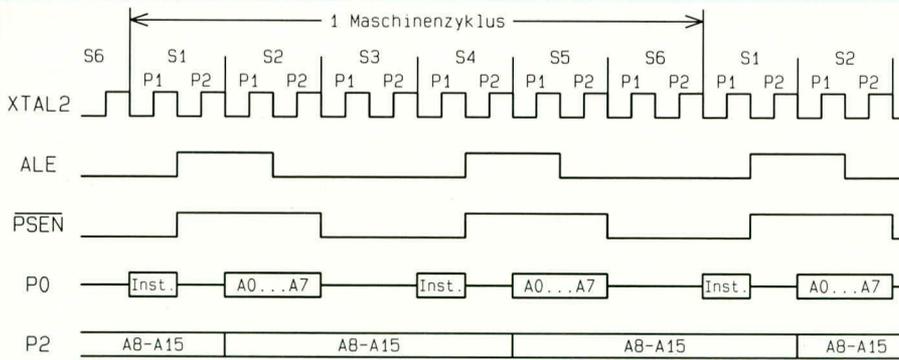
Abbildung 10 zeigt die schaltungstechnische Ausführung des beschriebenen Blockschaltbildes, wobei noch zusätzliche Komponenten und Schnittstellen integriert sind.

Die Reset-Beschaltung, bestehend aus C1, R1 und D1, versetzt den Mikroprozessor nach dem Einschalten in einen definierten Anfangszustand. Zunächst liegt der Reset-Pin auf High-Potential. Bedingt durch den Widerstand R1 wandert diese Spannung innerhalb von ca. 100 msec auf Low-Potential. Abbildung 11 zeigt das dazugehörige Timing.

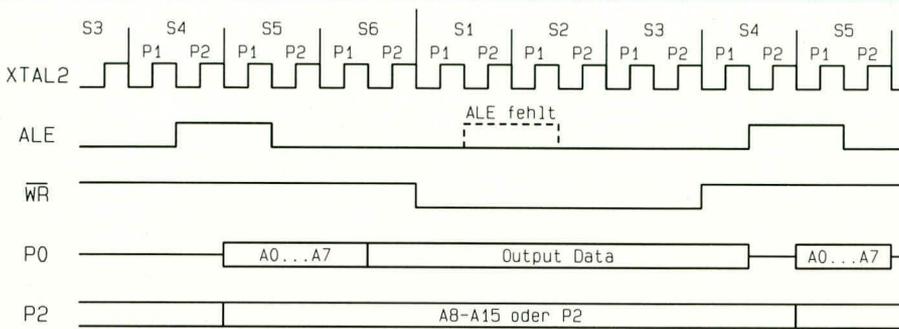
Während des laufenden Betriebes kann jederzeit durch den Taster T1, der bei Betätigung den Kondensator C1 entlädt, ein erneuter Reset-Vorgang für den Prozessor eingeleitet werden.

Die Oszillatorbeschaltung besteht nur aus einem Quarz und zwei Kondensatoren.

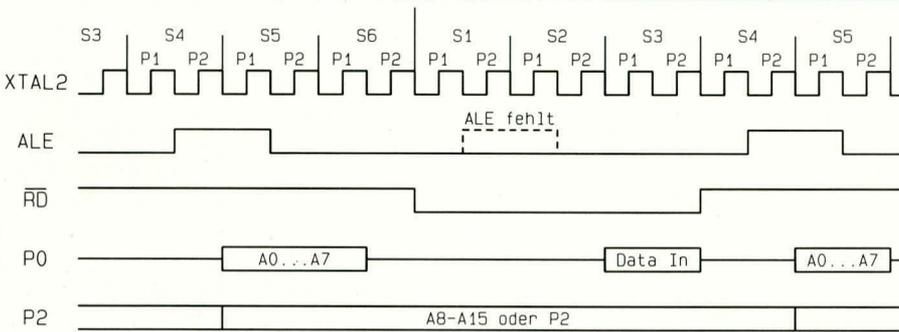




**Bild 12: Zeitlicher Ablauf für einen Programmspeicherzugriff**



**Bild 13: Zeitlicher Ablauf bei einem Lesezugriff auf einen externen Datenspeicher**



**Bild 14: Zeitlicher Ablauf bei einem Schreibzugriff auf einen externen Datenspeicher**

Üblicherweise können die MCS-51-Mikrocontroller mit einer Quarzfrequenz von 1 bis 12 MHz betrieben werden. In der von ELV vorgestellten Beispielschaltung ist ein 11,0592 MHz-Quarz eingesetzt, um die Generierung der Standard-Baudraten der seriellen Schnittstelle zu ermöglichen.

Als zentraler Mikroprozessor IC 1 können unterschiedliche Prozessorvarianten Verwendung finden. Neben den Standard-80(C)31/32-Prozessoren sind auch die maskenprogrammierten 80(C)51/52-Prozessoren einsetzbar.

Der auf Massepotential liegende  $\overline{EA}$  (External Access, Pin 31)-Anschlußpin veranlaßt den Mikroprozessor, sein Betriebsprogramm aus einem externen Programmspeicher zu lesen. Hierzu ist neben dem Anschluß des externen Programmspeichers noch ein 8 Bit-Zwischenspeicher für die unteren 8 Adressen notwendig.

Das Signal ALE (Adreß Latch Enable, Pin 30) ermöglicht das Zwischenspeichern des an Port 0 liegenden niederwertigen Adreßbytes in dem 8 Bit-Zwischenspeicher (Latch) IC 2 vom Typ 74HC573.

Mit Hilfe der Steuerleitung  $\overline{PSEN}$  (Programm Store Enable, Pin 29) erfolgt der

eigentliche Lesezugriff auf den externen Programmspeicher, der über seine Freigabeleitung ( $\overline{OE}$ ) das benötigte Datenwort an den gemeinsamen Daten- und Adreß-Bus anlegt.

### 2.7 Programmspeicherzugriff

Abbildung 12 zeigt die genaueren zeitlichen Zusammenhänge eines Maschinenzyklus, wobei der prinzipielle Zusammenhang der unterschiedlichen Zeitabläufe der Steuerleitungen wiedergegeben wird. Genauere Überprüfungen sind im Einzelfall mit Hilfe der Datenbücher der Prozessorhersteller vorzunehmen.

Der Befehlssatz des MCS-51 kennt zwei unterschiedliche Befehlsgrößen. Die meisten Befehle werden innerhalb eines Maschinenzyklus abgearbeitet, während nur wenige Befehle zwei Maschinenzyklen benötigen. Ein Maschinenzyklus ist in 12 Oszillatorzyklen abgearbeitet.

Die ALE-Steuerleitung wird in jedem Maschinenzyklus zweimal aktiv, auch wenn, bedingt durch den gerade anliegenden Befehl, nur einer benötigt wird.

Eine Ausnahme stellt lediglich der Schreib- oder Lesezugriff auf den externen

Datenspeicher dar, wo ein ALE-Zyklus entfällt. Ohne externen Datenspeicher ist die ALE-Frequenz also konstant (Osz/6). Das ALE-Signal ist in diesem Falle als Takt für externe Schaltungen verwendbar.

Während der Aktiv-High-Periode vom ALE legt der Mikroprozessor die unteren acht Adreßleitungen für den Zugriff auf den externen Programmspeicher an den gemeinsamen Daten- und Adreßbus. Dieser wird dann mit der fallenden Flanke des ALE-Signals in den Zwischenspeicher IC 2 übernommen.

Mit dem Anlegen der unteren Adressen an den Datenbus werden ebenfalls die Adreßleitungen A8 bis A15 an den Port 2 angelegt, dessen Pegel bis zum Ende des Befehlszugriffzyklus stabil bleiben.

Nach Abfallen von ALE legt der Prozessor seine  $\overline{PSEN}$ -Steuerleitung auf Low-Pegel. Nach einigen Taktzyklen muß dann der externe Programmspeicher seine Daten (Befehle) an den gemeinsamen Daten- und Adreßbus anlegen. Mit der steigenden Flanke  $\overline{PSEN}$  übernimmt dann der Mikroprozessor die an Port 0 anliegenden Daten.

### 2.8 Datenspeicherzugriff

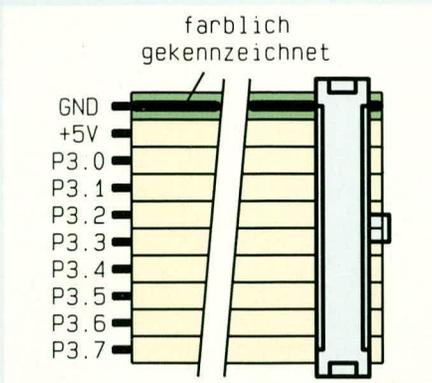
Abbildung 13 zeigt den zeitlichen Ablauf bei einem Lesezugriff auf den externen Datenspeicher. Wie beim Lesen des externen Programmspeichers werden zunächst am Port 0, dem gemeinsamen Daten- und Adreßbus, die niederwertigen 8 Adreßleitungen angelegt zur Übernahme in den Adreßzwischenspeicher mit der fallenden Flanke von ALE.

Es folgt die Aktivierung der  $\overline{RD}$ -Leitung, die das Lesen des externen Speichers steuert. Kurz bevor der Pegel von  $\overline{RD}$  wieder auf High zurückfällt, übernimmt der Prozessor die am Datenbus anliegenden Daten. Bei vielen Applikationen wird deshalb  $\overline{RD}$  direkt oder über einen Adreßdecoder mit dem  $\overline{OE}$ -Anschluß der Peripherie verbunden.

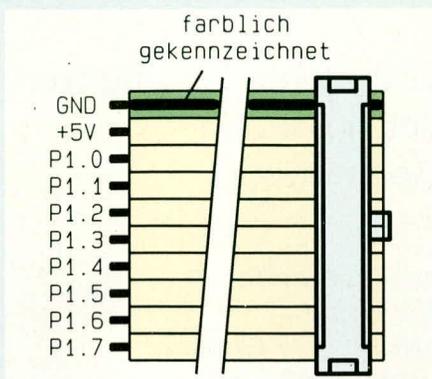
Die MCS-51-Familie kennt einen 8- und 16-Bit externen Datenzugriff. Beim 8-Bit-Datenzugriff bleibt der Inhalt von Port 2 unverändert. Die Zugriffsadressen werden, wie beschrieben, über den gemeinsamen Daten- und Adreßbus ausgegeben, woraus sich ergibt, daß so ein maximal 256 Byte großer Adreßraum ansprechbar ist.

Wird jedoch ein 16-Bit-Zugriff vorgenommen, so gibt der Prozessor die höherwertigen 8 Adreßbits über Port 2 aus. Dies ermöglicht den direkten Zugriff auf bis zu 64 k externen Datenspeicher.

Abbildung 14 zeigt den zeitlichen Ablauf während eines Schreibvorganges auf den externen Datenspeicher. Das Anlegen der niederwertigen Adressen A 0 bis A 7 erfolgt wie beim Lesezugriff. Anschließend werden die zu schreibenden Daten über Port 0 ausgegeben. Es erfolgt ein



**Bild 15: Anschlußfolge des 10poligen Flachbandkabels für Port 3**



**Bild 16: Anschlußfolge des 10poligen Flachbandkabels für Port 1**

Low-Impuls auf der  $\overline{WR}$ -Leitung. Üblicherweise übernehmen die am Datenbus angeschlossenen Peripheriebausteine mit der steigenden Flanke dieser Signalleitung die am Datenbus anliegenden Informationen.

Beim Schreibzugriff sind wie beim Lesen 8- oder 16-Bit-Zugriffe auf die externe Peripherie möglich. Beim 8-Bit-Zugriff bleibt auch hier der Port 2 unverändert, während beim 16-Bit-Zugriff die höherwertigen Adressen anliegen.

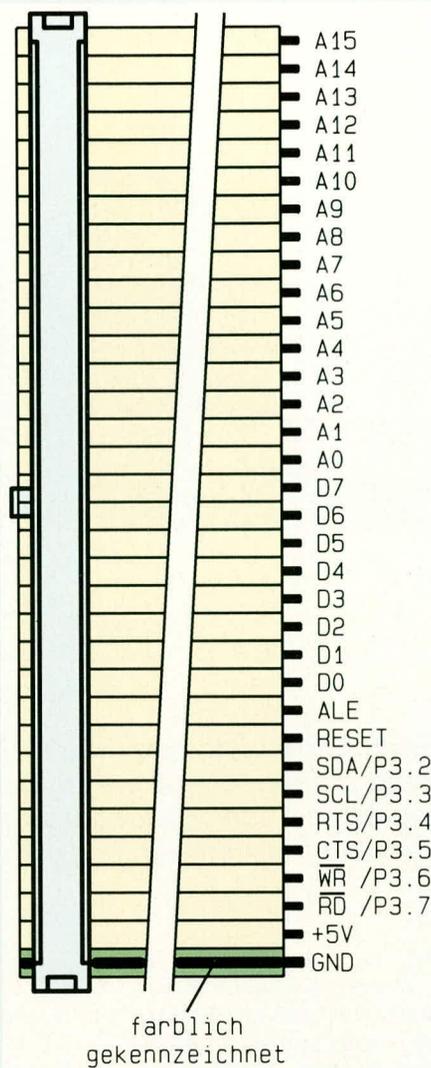
## 2.9 Serielle Schnittstelle

In Abbildung 10 ist weiterhin eine serielle Schnittstelle ausgeführt. Die Sendeleitungen (TxD und RxD, Pin 10 und 11) des Mikroprozessors sind mit dem RS232C/V24-Treiber/Empfängerbaustein-IC 4 vom Typ MAX232 verbunden.

Dieser Baustein setzt zum einen senderseitig den Eingangs-TTL-Pegel in ca. +10 V- bzw. -10 V-Pegel und empfangsseitig die V24-Pegel +3...+15 bzw. -3...-15 V in TTL-Pegel um.

Die TxD-Leitung führt direkt zu Pin 11 von IC4, dessen zugehöriger Ausgangstreiber an Pin 14 direkt mit Pin 2 der Buchse BU 1 verbunden ist.

Die Pinbelegung dieses Steckverbinders ist so gewählt, daß mit Hilfe eines 1:1-Verlängerungskabels direkt der Anschluß an einen PC mit 9poligem Sub-D-Stecker erfolgen kann. Bei PCs mit 25poligem Steckverbinder für die serielle Schnittstelle



**Bild 17: Anschlußbelegung des 34poligen Flachbandkabels für den Daten-, Adreß- und Steuerbus**

le ist ein entsprechendes Adapterkabel zu verwenden.

Die an Pin 3 der Buchse BU 1 anliegende Empfangsleitung durchläuft über Pin 13 von IC 4 den Schnittstellenempfänger, dessen Ausgangspin 12 über JP 2 mit dem RxD-Anschluß des Prozessors verbunden ist. Soll nun die serielle Schnittstelle des Prozessors keine Verwendung finden, so kann durch Öffnen der Brücke JP 2 der Ausgang von IC 4 abgeklemmt werden. Der Anschluß-Pin 10 (P 3.0) läßt sich dann ohne Einschränkungen anderweitig verwenden.

Da der MAX232 insgesamt zwei Treiber und zwei Empfänger beinhaltet, wurden jeweils ein weiterer Schnittstellentreiber und -empfänger für das Handshake-Verfahren der seriellen Schnittstelle genutzt.

Die Eingangs-Steuerleitung CTS, die bei Bedarf die Datenausgabe der seriellen Schnittstelle steuert (Pin 9 von IC 4), ist über die Brücke JP 1 mit Pin 16 (P 3.5) des Mikroprozessors verbunden. Soll dieser Handshake nicht genutzt werden, ist JP 1 zu öffnen. Die entsprechende Handshake-Leitung für die Empfangssteuerung RTS

(Pin 10 von IC 4) wird im nicht benötigten Fall über JP 3 auf Massepotential gelegt. Soll diese Handshake-Leitung Verwendung finden, so ist mit Hilfe von JP 3 der Anschlußpin 10 von IC 4 mit Pin 15 (P 3.4) des Mikroprozessors zu verbinden. Auch die Benutzung dieser Handshake-Leitung hängt von den individuellen Bedürfnissen ab.

## 2.10 EEPROM

An P 3.2 und 3.3 ist ein EEPROM vom Typ 2402, 2404, 2408 oder 2416 einsetzbar. Diese Bausteine sind von verschiedenen Herstellern mit herstellereigenen Zusätzen erhältlich. Der Anschluß an den Mikroprozessor wird ausschließlich durch die Verbindungsleitungen SDA und SCL hergestellt. Dieser I<sup>2</sup>C-Bus ist ein Open-Kollektor-Bus, der im Ruhezustand hochohmig ist. Sendet nun der Master (meistens der Mikroprozessor) die Empfängeradresse über diesen Bus, so antwortet der angesprochene Baustein, indem dieser die SDA-Leitung auf Low-Potential zieht. Aus diesem Grunde kann bei anderweitiger Verwendung der Ports P 3.2 und P 3.3 die Verbindung zu IC 6 bestehen bleiben.

## 2.11 Portanschlüsse

Die acht Datenleitungen von Port 3 sind komplett auf den Steckverbinder ST 2 geführt. Bei Anschluß eines doppelreihigen Pfostensteckverbinders mit angeschlagenem 10poligen Flachbandkabel ergibt sich die in Abbildung 15 dargestellte Anschlußfolge. Neben den acht Datenleitungen liegt hier die Bezugsmasse und die 5 V-Versorgungsspannung für den Anschluß von Kleinverbrauchern zusätzlich an.

Der Port 1 ist ebenfalls direkt mit seinen acht Datenleitungen auf den Steckverbinder ST 3 geführt, dessen Anschlußbelegung Abbildung 16 zeigt.

Am Steckverbinder ST 1 liegen die Adreßleitungen A0 bis A15, die Datenleitungen D0 bis D7 sowie die wichtigsten Steuerleitungen für den Zugriff auf die externe Peripherie an. Hier lassen sich unterschiedlichste Peripheriegeräte nach individuellen Bedürfnissen anschließen. Abbildung 17 zeigt die Belegung des anschließbaren Flachbandkabels.

Die Spannungsversorgung dieser Schaltung wird über den Spannungsregler IC 5 des Typs 7805 sichergestellt, der auf einem U-Kühlkörper plaziert wird. Zur Stromversorgung benötigt die Schaltung ein Stekkernetzteil mit einer Abgabespannung von 8 bis 16 V und einer Strombelastbarkeit von mindestens 300 mA. Dessen 3,5 mm-Klinkenstecker ist direkt mit der 3,5 mm-Einbau-Klinkenbuchse zu verbinden. Die Diode D 2 dient als Verpolungsschutz.

Im dritten Teil dieser Artikelserie kommen wir zur praktischen Ausführung der hier vorgesehenen Prozessorschaltung. **ELM**