

Frequenzteiler

Die Technik der Frequenzteiler im allgemeinen beschreibt der vorliegende Artikel sowie 2 nützliche Schaltungen, die im Laboralltag wertvolle Dienste leisten.

Allgemeines

Frequenzteiler, auch als Frequenzzähler bezeichnet, sind digital arbeitende Bausteine zur Verarbeitung von Eingangsfrequenzen. Im einfachsten Fall nimmt der einstufige Dual-Zähler eine Teilung durch 2 vor, d. h. sein Ausgang wechselt bei jedem Eingangsimpuls seinen Zustand, und die Ausgangsfrequenz entspricht der halben Eingangsfrequenz, wie dies auch aus der ersten und zweiten Zeile der Abbildung 1 ersichtlich ist.

Folgt eine zweite Dual-Teilerstufe, stellt sich an deren Ausgang ein Signal gemäß „AUS 2“ ein, während eine dritte Stufe zum Signalverlauf gemäß „AUS 3“ führt. In Abbildung 2 ist die Zustandstabelle eines 4stufigen Dual-Zählers dargestellt, dessen Ausgänge insgesamt 16 verschiedene Stufen einnehmen können.

Dual-Zähler, Dezimal-Zähler, BCD-Zähler

Wie vorstehend bereits erwähnt, nimmt ein Dual-Zähler pro Stufe jeweils eine Teilung durch 2 vor. Daraus folgt, daß bei n-Ausgängen eine Anzahl von 2^n -Kombinationen möglich ist. Dual-Zähler stellen die einfachste technische Form der Teiler dar.

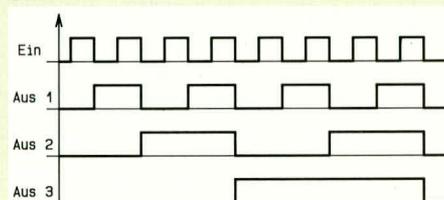


Bild 1: Zeitlicher Verlauf der Ausgangszustände eines Dual-Zählers

Bild 2: Zustandstabelle eines 4stufigen Dual-Zählers

Dezimalwert	AUS4 2^3	AUS3 2^2	AUS 2 2^1	AUS1 2^0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

Das Zahlensystem, in dem sich der Mensch gewohnheitsgemäß am besten zu recht findet, ist das Dezimalsystem. Anders als beim Dual-System, das nur 2 Zustände (logisch 1 und logisch 0) kennt, sind im Dezimalsystem pro Stelle 10 verschiedene Werte möglich. Werden mehr Werte benötigt, wird von einstelliger auf 2stellige Darstellung gewechselt, wobei jede nach links folgende Stelle die 10fache Gewichtung besitzt.

Um dieser Darstellungsweise zu entsprechen, wurden Dezimal-Zähler entwickelt, die intern zwar ebenfalls nach dem Dual-Verfahren arbeiten, jedoch erst einen Übertrag nach dem zehnten Eingangsimpuls liefern. Werden z. B. 100 Impulse am Eingang gezählt, so stehen am Ausgang dann 10 Impulse zur Verfügung.

Da Zähler intern im Dual-Verfahren arbeiten, der Mensch üblicherweise jedoch im Dezimal-System zuhause ist, muß beim Aufbau von Anzeigeeinheiten wie z. B. digital anzeigenden Frequenzzählern eine Verknüpfung beider Systeme stattfinden. Hier kommt der sogenannte BCD-Zähler zum Einsatz. Dabei handelt es sich um einen 4stufigen Dual-Zähler, der meistens mit seinen 4 Ausgängen von 0 bis 15 zählen kann. Nach dem zehnten Impuls springt ein BCD-Zähler jedoch wieder auf 0 zurück, d. h. er zählt von 0 bis 9, entsprechend 10 Zählimpulsen. Die 4 Ausgänge bewegen sich dabei aber im Dual-System, so daß eine Dual-Dezimal-Umsetzung zu einem Dezimalwert führt und auch die nächst höhere Stelle die 10fache Gewichtung besitzt.

Synchron-Zähler, Asynchron-Zähler

Ein Asynchron-Zähler besteht aus einer Anzahl hintereinander geschalteter Zählerstufen, wobei die erste Stufe die zweite ansteuert, während die dritte Stufe wiederum von der zweiten angesteuert wird usw. Dabei ist zu beachten, daß eine jede Einzelstufe das Signal etwas verzögert, so daß bei hinreichend vielen nacheinander geschalteten Zählerstufen die letzte Stufe ihren Zustand später ändert, nachdem die erste Stufe ihren Ausgang gesetzt hat. Bei hohen Eingangsfrequenzen tritt somit eine mehr oder weniger starke Phasenverschiebung zwischen den einzelnen Ausgangssignalen auf.

Fragt man nur einen einzigen Ausgang ab, d. h. ist für den betreffenden Einsatzfall nur das Teilungsverhältnis von Interesse (z. B. um aus 4 MHz eine Frequenz von 1 MHz zu erzeugen), spielt diese Phasenverschiebung keine Rolle. Sollen hingegen die Zählerstände der einzelnen Stufen parallel abgefragt werden, so ist zunächst abzuwarten, bis alle Ausgänge im Anschluß an einen Eingangsimpuls ihren Ausgangs-

zustand festgeschrieben haben, da es ansonsten zu Fehlinterpretationen kommen kann.

Um bei einer Parallelabfrage Probleme von vornherein auszuschließen, wurden Synchron-Zähler entwickelt. Diese sind dadurch gekennzeichnet, daß die Zählimpulse gleichzeitig auf die Takteingänge jeder einzelnen Zählerstufe gegeben werden. Hierdurch wird erreicht, daß sich die Ausgangsinformation sämtlicher Einzelzählerstufen zur gleichen Zeit ändert. Damit nun nicht bei jedem Taktimpuls alle Zähler kippen, verwendet man steuerbare Toggle-Flip-Flops, die nur dann umkippen, wenn die zusätzlich eingeführte Steuervariable T den Wert 1 besitzt. Durch geeignete Schaltungstechnik können Synchron-Zähler in gleicher Weise zählen wie Asynchron-Zähler, wobei die Ausgänge sich nur zum selben Zeitpunkt ändern können.

Vorwärts-Rückwärts-Zähler

Als weiteres Unterscheidungsmerkmal im Bereich der Digital-Zähler ist die Zählrichtung zu nennen. Bei den Vorwärts-Rückwärts-Zählern unterscheidet man 2 Typen:

Zum einen stehen Zähler zur Verfügung, die einen Takteingang besitzen, wobei ein zweiter Eingang zur Festlegung der Zähl-

im weiteren Verlauf dieses Artikels zur praktischen Ausführung von 2 Teilerschaltungen.

Frequenzteiler-Schaltungen

Für diejenigen unter unseren Lesern, die sich neben der Theorie auch mit der praktischen Seite des Themas Frequenzteiler beschäftigen möchten, haben wir 2 unterschiedliche Schaltungsbeispiele ausgearbeitet. Für beide Schaltungsvarianten wurde jeweils eine Leiterplatte entwickelt.

Bei der ersten Schaltung handelt es sich um einen 24stufigen Dualteiler. Die Schaltung ist vollständig in CMOS-Technologie aufgebaut und kann daher mit einer Versorgungsspannung zwischen 5 V und 15 V betrieben werden.

Die zweite Schaltung ist in TTL-Technik realisiert, wodurch die Versorgungsspannung $+5\text{ V} \pm 5\%$ betragen muß. Bei diesem Frequenzteiler handelt es sich um einen 5 - 2 - 1 - Dezimalteiler.

24stufiger Dualteiler

Abbildung 3 zeigt die Schaltung des in CMOS-Technik aufgebauten Dualteilers. Die eigentliche Frequenzteilung wird durch die integrierten Bausteine IC 2 und IC 3 vorgenommen. Hierbei handelt es sich um asynchrone 12stufige Dualteiler. Dabei ist

zu berücksichtigen, daß es sich um asynchrone Zähler handelt, d. h. durch die sequentielle Reihenfolge, in der sich die Ausgänge ändern, ergeben sich falsche Zählungen während der Einstellzeit. Fragt man nur einen Ausgang ab, spielt dies keine Rolle, während bei einer Parallelabfrage mehrerer Ausgänge das Ergebnis erst dann korrekt ansteht, wenn im Anschluß an einen Eingangstakt alle Zählstufen ihren Schaltvorgang abgeschlossen haben. Ebenfalls mit auf der Leiterplatte realisiert ist der Eingangstaktoszillator. Dieser wird gebildet durch die Inverter IC 1 A, B mit externer Beschaltung. Mit dem Quarz Q 1 wird die Taktfrequenz des Oszillators festgelegt und liegt im vorliegenden Fall bei 10 MHz.

Die maximale Arbeitsfrequenz bei CMOS-Bausteinen ist abhängig von der Höhe der Versorgungsspannung. Wird die Schaltung mit der unteren Spannung von 5 V betrieben, so stellen die 10 MHz so gleich die obere Frequenz dar, die bei dieser Spannung noch verarbeitet werden kann, und auch nur dann, wenn für IC 2 der Typ HEF 4040 des Herstellers PHILIPS Einsatz findet. Soll hier der gleiche Typ, jedoch eines anderen Herstellers Verwendung finden, kann es sein, daß die Schaltung zumindest bei 5 V nicht mehr mit 10 MHz arbeitet.

Wird die vorliegende Schaltung grundsätzlich nur bei einer niedrigen Versorgungsspannung unter 6 V betrieben, so können die Signalfanken für die „hochfrequenten“ Ausgänge Q 0, Q 1 und Q 2 durch den Einsatz des Invertertyps 74HC04 anstelle des Inverters IC 1 des Typs CD4069 verbessert werden.

Der HCMOS-Inverterbaustein 74HC04 ist Pin-kompatibel zum CD4069, wodurch ein Austausch einfach ist. Wie bereits erwähnt, ist ein Betrieb dann jedoch nur bis maximal 6 V möglich.

Doch kommen wir jetzt nach diesen grundsätzlichen Hinweisen zur eigentlichen Schaltungsbeschreibung. Wie zuvor schon angesprochen, wird die 10 MHz Eingangsfrequenz, oder auch Taktfrequenz genannt, durch die Oszillatorschaltung um IC 1 A, B erzeugt. Die externe Beschaltung, bestehend aus R 1, R 2 sowie C 2, C 3, ist exakt auf die Eingangsdaten des Quarzes Q 1 abgestimmt, wodurch ein „sauberes“ Taktsignal erreicht wird und ein einwandfreies Anschwingen der Schaltung gewährleistet ist.

Wird eine andere Taktfrequenz gewünscht, so reicht es nicht aus, lediglich den Quarz Q 1 zu tauschen. In der Regel wird man auch die externen Bauelemente anpassen müssen, um einen zuverlässigen Oszillator zu erhalten.

Das Ausgangssignal der Oszillatorschaltung steht in Form eines Rechtecksignals

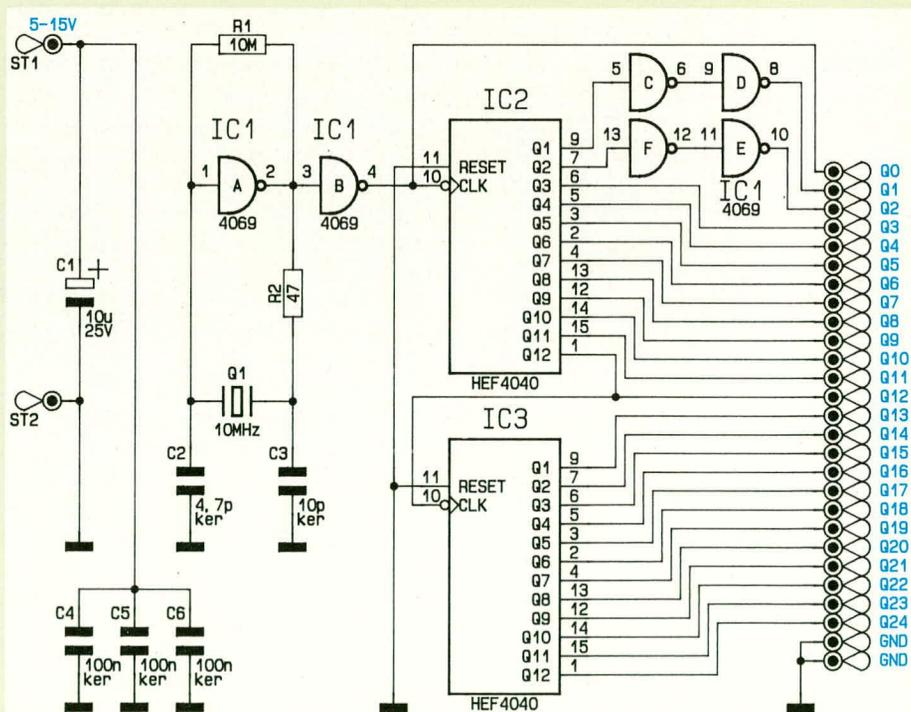


Bild 3: Schaltbild des 24stufigen, in CMOS-Technik aufgebauten Binärteilers

richtung dient. Zum anderen gibt es Zählerbausteine mit 2 Takt-Eingängen, von denen der eine den Zählerstand erhöht und der andere erniedrigt.

Nachdem wir uns mit den wesentlichen Zähler-Arten befaßt haben, kommen wir

an Pin 4 des Gatters IC 1 B zur Verfügung und gelangt nun zum einen direkt auf den Ausgang Q 0 und zum anderen an den Clock-Eingang (Pin 10) des IC 2.

Mit den jeweils hintereinander geschalteten Invertern IC 1 C, D sowie IC 1 E, F wird eine Pufferung der Zählerausgänge Q 1 und Q 2 (5 MHz und 2,5 MHz) vorgenommen, zur Verbesserung der Signalqualität. Die übrigen niederfrequenten Ausgänge des IC 2 (Q 3 bis Q 12) gelangen direkt an die entsprechenden Ausgangslötstifte. Der Ausgang Q 12 des IC 2 ist zusätzlich mit dem Clock-Eingang des IC 3 verbunden, wodurch dieses IC die Teilung fortsetzt. Der Ausgang Q 1 führt somit ein Ausgangssignal mit der Frequenz von 1220,70... Hz, und die niedrigste Frequenz steht am Ausgang Q 24 mit 0,298... Hz zur Verfügung.

Da die Reset-Eingänge beider Teiler (IC 2 und IC 3) nicht benötigt werden, sind diese mit der Schaltungsmasse verbunden. Die Kondensatoren C 4 bis C 6 sind räumlich direkt an den ICs plazierte und dienen zur Abblockung. Die Versorgungsspannung wird über die Lötstifte ST 1 und ST 2 zugeführt, wobei der Elko C 1 zur Pufferung eingesetzt ist. Durch die ausschließliche Verwendung von CMOS-Halbleitern liegt die Stromaufnahme bei nur 3 mA, gemessen bei einer Versorgungsspannung von 5 V.

5 - 2 - 1 - Dezimalteiler

Die Schaltung des 5 - 2 - 1 - Dezimalteilers ist in Abbildung 4 dargestellt. Durch die Teilerfaktoren 10 und 5 sowie 2 ist die Schaltung dieses Dezimalteilers wesentlich aufwendiger als die Schaltung eines Binärzählers.

Es werden insgesamt 10 TTL-Bausteine eingesetzt, wobei überwiegend LS-Typen zum Einsatz kommen.

Auch die Schaltung des Dezimalteilers verfügt über einen Oszillator, der die maximale Ausgangsfrequenz von 10 MHz generiert. Aufgebaut ist dieser Oszillator mit dem 4fach-NAND-Gatter IC 1. Der eigentliche Oszillator wird gebildet aus den Gattern IC 1 A, B mit Zusatzbeschaltung. Die in Serienresonanz arbeitende Oszillatorschaltung ist von der Dimensionierung her recht unkritisch, wodurch eine Änderung der Frequenz durch Austausch des Quarzes normalerweise ohne Probleme möglich ist. Durch die Widerstände R 1 und R 2 werden die Inverter als Voraussetzung für ein zuverlässiges Anschwingen

des Oszillators in einen quasi Linearbetrieb gebracht.

Die Gatter IC 1 C, D dienen zur Pufferung des Oszillatorsignals. Über IC 1 D gelangt das Signal direkt zum 10 MHz-Ausgangslötstift, während über IC 1 C die Teilerkette angesteuert wird.

Die Dezimalteilerbausteine IC 2 bis IC 8 des Typs 74LS90 bestehen intern aus 4 Flip-Flops, die derart miteinander verbunden sind, daß eine Teilung durch 5 sowie eine Teilung durch 2 möglich ist.

Durch die Verbindung des Ausgangs QD (Pin 11) mit dem Eingang CPA (Pin 11) ergeben sich jeweils an den Ausgängen Pin 12 und Pin 8 Frequenzen, die, bezogen auf das Eingangssignal an Pin 1, durch den Faktor 10 bzw. durch den Faktor 5 geteilt sind. Durch die Verbindung des Zählerausgangs QA (Teilung durch 10) mit dem Eingang Pin 1 (CPD) des nachfolgenden Zählers wird diese Teilung bis zum Ausgang des Teilers IC 8 (Pin 12) fortgeführt, an dem das 1 Hz-Signal verfügbar ist.

Durch die asynchrone Hintereinanderschaltung der einzelnen Teilerbausteine ändern sich die Ausgänge auch hier in sequentieller Reihenfolge. Die Fünfer-Stufung (Teilung durch 2) wird mit Hilfe zweier 4fach-JK-Flip-Flop-Bausteine des Typs 74276 erreicht. Mit der externen Verschaltung (Preset, Clear, J auf High und K auf Masse) ergibt sich eine Frequenzteilung durch 2 vom Clock-Eingang zum Ausgang Q.

Die Ansteuerung der Flip-Flop-Teiler erfolgt jeweils vom Ausgang Q A der 74LS90-Teiler aus. Lediglich das erste Flip-Flop wird direkt mit dem 10 MHz-Oszillatorsignal angesteuert.

Die niedrigste Frequenz der Teilerschaltung wird durch IC 10 D erzeugt und beträgt 0,5 Hz.

Beim Einsatz der Schaltung ist zu beachten, daß die Ausgänge 2 MHz, 200 kHz, 20 kHz... kein symmetrisches Tastverhältnis aufweisen. Das Verhältnis zwischen Impuls- und Pausenzeiten beträgt hier 2 : 3.

Zur Entkopplung und Abblockung der Versorgungsspannung dienen die Kondensatoren C 4 bis C 13. Hierzu ist jedem IC ein Kondensator zugeordnet, der direkt am IC plazierte ist.

Die Versorgungsspannung wird über die Lötstifte ST 1 und ST 2 zugeführt. Durch den Einsatz von 10 TTL-Bausteinen liegt die Stromaufnahme bei rund 200 mA.

Nachdem wir uns ausführlich mit der Schaltungsbeschreibung der Frequenzteiler befaßt haben, kommen wir als nächstes zum Aufbau.

Nachbau

Der Nachbau ist hier besonders einfach möglich. Zunächst werden die Brücken,

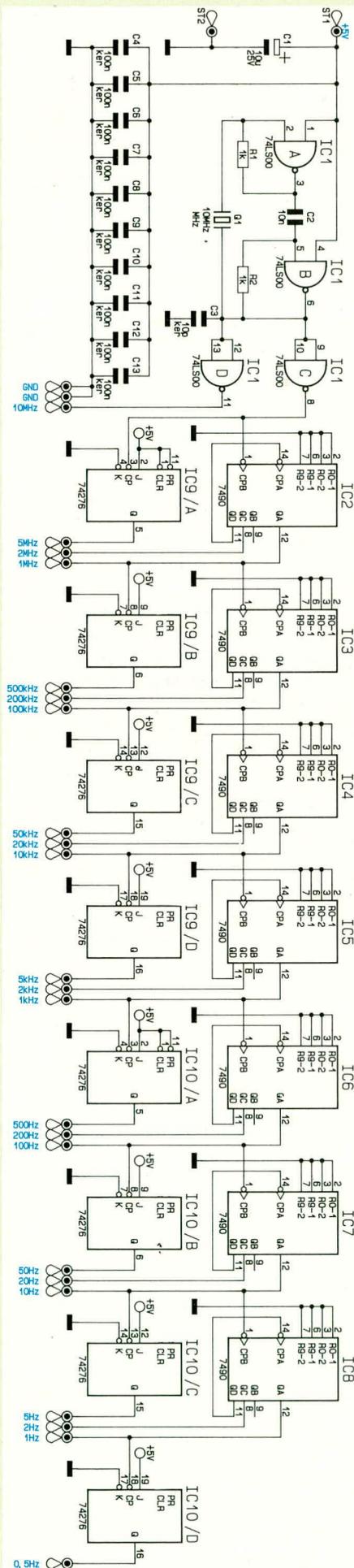
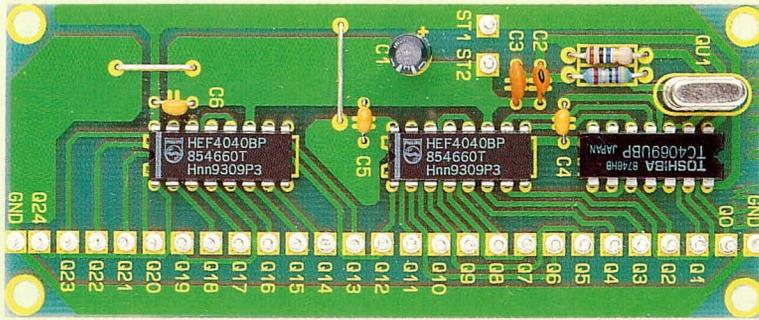
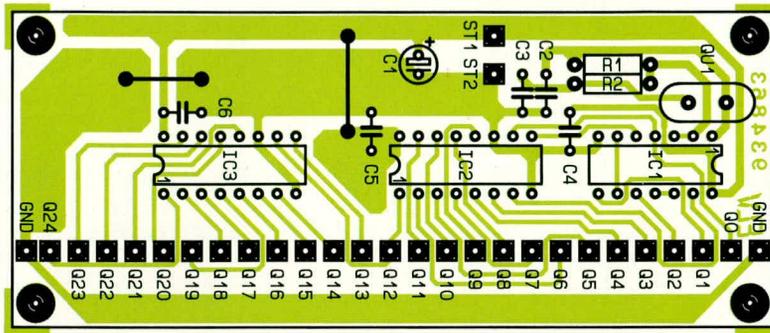


Bild 4: Schaltung des 5 - 2 - 1 - Dezimalteilers, bei der überwiegend Standard-TTL-ICs verwendet werden.



Ansicht des fertig aufgebauten 24stufigen Binärteilers



Bestückungsplan des Binärteilers

Stückliste: 24stufiger Dualteiler

Widerstände:

- 47Ω R2
- 10MΩ R1

Kondensatoren:

- 4,7pF C2
- 10pF C3
- 100nF/ker C4 - C6
- 10μF/25V C1

Halbleiter:

- CD4069 IC1
- HEF4040 IC2, IC3

Sonstiges:

- Quarz, 10MHz Q1
- 29 Lötstifte, 1,3mm
- 5cm Silberdraht

Stückliste: 5 - 2 - 1 - Dezimalteiler

Widerstände:

- 1kΩ R1, R2

Kondensatoren:

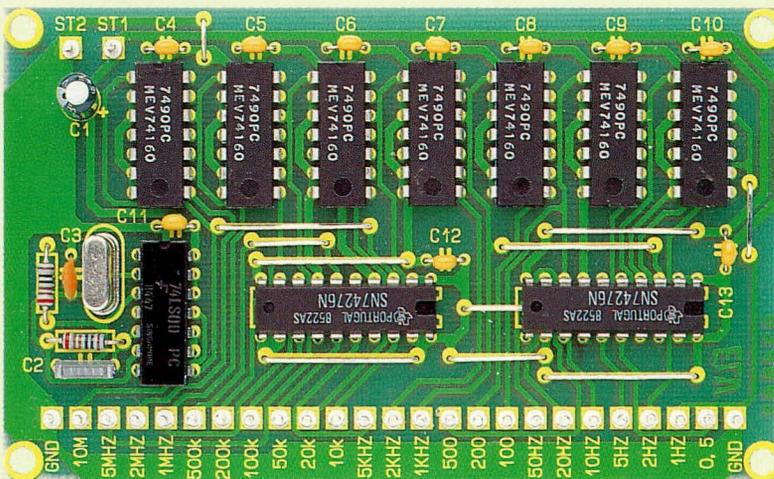
- 10pF C3
- 10nF C2
- 100nF/ker C4 - C13
- 10μF/25V C1

Halbleiter:

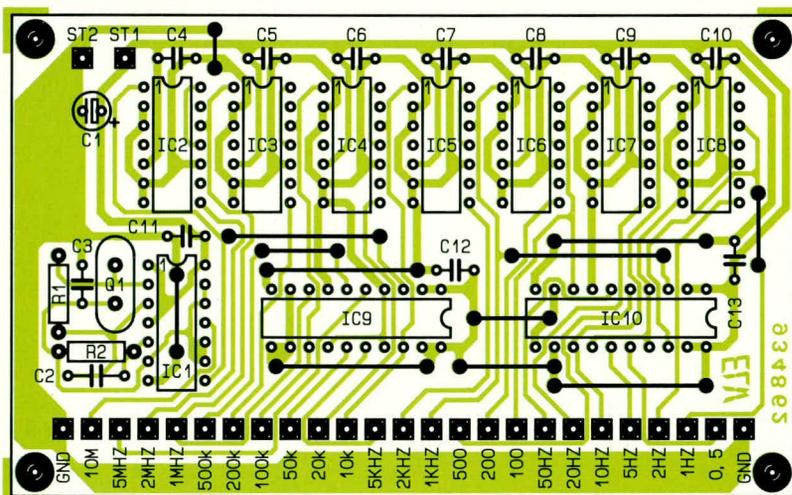
- 74LS00 IC1
- 74LS90 IC2 - IC8
- 74276 IC9, IC10

Sonstiges:

- Quarz, 10MHz Q1
- 27 Lötstifte, 1,3mm
- 30cm Silberdraht



Fertig aufgebaute, 63 x 105 mm große Platine des 5 - 2 - 1 - Dezimalteilers



Bestückungsplan des Dezimalteilers

dann die Widerstände und die Kondensatoren eingesetzt. Es folgen die Lötstifte und zu guter Letzt die ICs und der Quarz. Auf der Leiterbahnseite sind alle Lötstellen sorgfältig zu verlöten und überstehende Drahtenden zu kürzen, ohne die Lötstellen selbst anzuschneiden.

Zur universellen Befestigung befinden sich an den Ecken der Leiterplatten 3,5 mm-Bohrungen.

Im Bereich der Digitaltechnik stellen diese beiden Frequenzteiler nützliche und besonders preiswerte Hilfsmittel im Labor zur Inbetriebnahme und zum Test entsprechender Schaltungen dar.

