



EPROM-Simulator EPS 1000

Dieser universell einsetzbare EPROM-Simulator kann anstelle von herkömmlichen EPROMs 2716 bis 27512 in eine bestehende Schaltung eingesetzt werden. Der Anschluß und das schnelle Laden des Simulators erfolgt über die Standard-Parallel-Schnittstelle (Centronics) von einem IBM-kompatiblen PC, Atari, Amiga usw.

Allgemeines

Bei der Software-Entwicklung für Mikroprozessorsysteme dient häufig ein herkömmliches EPROM als Programmspeicher. Im Verlauf der Entwicklungsarbeiten wird dann für jede neue Software-Version dieses EPROM aus der Testschaltung entnommen, gelöscht, neu gebrannt und wieder eingesetzt. Ein zeitraubendes und etwas umständliches Verfahren, das wohl jedem in diesem Bereich tätigen Software-Entwickler bekannt ist.

In der ELV-Entwicklungsabteilung ist daher der EPROM-Simulator EPS 1000 entstanden, der während der Entwicklungsphase das herkömmliche EPROM ablöst, und eine außerordentlich komfortable und effektive Vorgehensweise erlaubt. Der Einsatz ist denkbar einfach.

Über die Standard-Parallel-Schnittstelle (Centronics) Ihres zur Programmierung dienenden Rechners (z. B. IBM-kompatibler PC, Atari, Amiga usw.) wird die neue Programmversion blitzschnell in den EPS 1000 eingeladen, der nun die Simulation des EPROMs vornimmt. Der Anschluß an

die Testschaltung erfolgt über ein Flachbandkabel, an dessen Ende sich ein Sockel-Steckverbinder befindet, der den direkten Anschluß an den IC-Sockel erlaubt, in dem ansonsten das herkömmliche EPROM eingesteckt würde.

Jede neue Software-Variante Ihres Mikroprozessorsystems ist nun einfach per Tastendruck blitzschnell in den EPS 1000, ohne jeden Austausch von Elektronik-Komponenten, einladbar - für jeden engagierten Software-Entwickler eine komfortable und zeitsparende Angelegenheit.

Bedienung und Funktion

Der EPROM-Simulator EPS 1000 ist aus der Praxis entstanden, und von Entwicklern für Entwickler konzipiert worden. Einmal im Einsatz wird man dieses erprobte und außerordentlich nützliche Gerät nicht mehr entbehren wollen. Zur besseren Übersicht haben wir die Beschreibung von Bedienung und Funktion in Abschnitte unterteilt, damit die entsprechenden Informationen zielgerecht abrufbar sind.

Einsatzspektrum

Der EPS 1000 kann EPROMs der Typen 2716, 2732, 2764, 27128, 27256 sowie 27512 (2 kB bis 64 kB) simulieren. Diese EPROM-Typen sind mit einem 24- bzw. 28poligen DIL-Gehäuse ausgestattet.

Tabelle 1 zeigt die Pin-Belegung der einzelnen EPROM-Typen, die mit dem

Tabelle 1: Anschlußbelegung der verschiedenen EPROM-Typen

						1				28							
A15	V _{pp}	V _{pp}	V _{pp}			1			28					+5 V	+5 V	+5 V	+5 V
A12	A12	A12	A12			2			27					PGM	PGM	A14	A14
A7	A7	A7	A7	A7	A7	3	1	24	26	+5 V	+5 V	n.c.	A 13	A13	A13	A13	
A6	A6	A6	A6	A6	A6	4	2	23	25	A8	A8	A8	A8	A8	A8	A8	
A5	A5	A5	A5	A5	A5	5	3	22	24	A9	A9	A9	A9	A9	A9	A9	
A4	A4	A4	A4	A4	A4	6	4	21	23	V _{pp}	A11	A11	A11	A11	A11	A11	
A3	A3	A3	A3	A3	A3	7	5	20	22	OE	OE/V _{pp}	OE	OE	OE	OE	OE/V _{pp}	
A2	A2	A2	A2	A2	A2	8	6	19	21	A10	A10	A10	A10	A10	A10	A10	
A1	A1	A1	A1	A1	A1	9	7	18	20	CE/PGM	CE	CE	CE	CE	CE	CE	
A0	A0	A0	A0	A0	A0	10	8	17	19	D7	D7	D7	D7	D7	D7	D7	
D0	D0	D0	D0	D0	D0	11	9	16	18	D6	D6	D6	D6	D6	D6	D6	
D1	D1	D1	D1	D1	D1	12	10	15	17	D5	D5	D5	D5	D5	D5	D5	
D2	D2	D2	D2	D2	D2	13	11	14	16	D4	D4	D4	D4	D4	D4	D4	
Gnd	Gnd	Gnd	Gnd	Gnd	Gnd	14	12	13	15	D3	D3	D3	D3	D3	D3	D3	
						2716				2 KB							
						2732				4 KByte							
						2764				8 KByte							
						27128				16 KByte							
						27256				32 KByte							
						27512				64 KByte							

EPS 1000 simulierbar sind. Die Pinbelegung der Anschlußpins ist bis auf wenige Steuerleitungen bei den genannten EPROM-Typen identisch.

Anschluß an die Testschaltung

Am Ende des Flachbandkabels, das vom EPS 1000 zur Testschaltung führt, befindet sich ein 28poliger IC-Sockel-Steckverbinder. Für die Emulation der größeren EPROMs (2764 bis 27512), die ein 28poliges Gehäuse besitzen, wird dieser Steckverbinder direkt in den dafür vorgesehenen Sockel eingesteckt. Für den Anschluß der kleineren EPROM-Typen 2716 und 2732 wird der Sockel-Steckverbinder des EPS 1000 über einen 24poligen Präzisionssockel in die dafür vorgesehene Fassung eingesteckt. Dabei ist zu beachten, daß der als Zwischenstecker dienende 24polige Sockel massebündig aufgesteckt wird, d. h. Pin 1, Pin 2 sowie Pin 27, Pin 28 des 28poligen Sockel-Steckverbinders bleiben frei.

Arbeiten mit 16-Bit-Prozessoren

In diesem Zusammenhang sei noch als Besonderheit angemerkt, daß durch Verbindung von 2 Geräten EPS 1000 sogar 16-Bit-Emulationen möglich sind, z. B. für 16-Bit-Mikroprozessoren. Hierzu werden dann am Steuercomputer 2 parallele Schnittstellen belegt.

Reset-Leitungen

Der EPROM-Simulator EPS 1000 stellt 2 Reset-Leitungen für die angeschlossene Schaltung zur Verfügung. Die eine Leitung ist high-aktiv (rote Abgreifklemme), d. h. während des Reset-Vorgangs liegt an diesem Pin über einen Transistor High-Pegel an, während die andere Leitung (schwarze Abgreifklemme) genau umgekehrt arbeitet und während des Reset-Vorgangs Low-Pegel führt. Auf seiten der zu

testenden Schaltung muß dabei sichergestellt sein, daß durch Anschließen der Reset-Leitung diese keinen Kurzschluß im Zielsystem verursacht.

Spannungsversorgung

Die Spannungsversorgung für den EPS 1000 wird normalerweise aus der Testschaltung entnommen. Zusätzlich steht eine 3,5 mm-Klinkenbuchse zum Anschluß eines externen Steckernetzteiles zur Verfügung, für diejenigen Fälle, in denen die Testschaltung nicht in der Lage ist, den EPS 1000 mit zu speisen. In dieser Betriebsart ist zu beachten, daß die Spannungsversorgung bei Montagearbeiten jeweils mit ausgeschaltet wird, während bei einer Versorgung über die Testschaltung die Abschaltung der Betriebsspannung des EPS 1000 automatisch durch die Testschaltung erfolgt.

Computer-Anschluß

Zur Verbindung des Computers mit dem EPS 1000 dient ein Standard-Druckerkabel, das auf der einen Seite einen 25poligen Sub-D-Stecker und auf der anderen Seite einen 36poligen Centronics-Stecker besitzt.

Bedienelemente der Frontplatte

Zur Bedienung des EPROM-Simulators finden wir auf der Frontplatte einen 6stufigen Drehschalter zur Einstellung des EPROM-Typs sowie einen Schiebeschalter, der das Programm schreibe schützt.

Im normalen Betriebsfall befindet sich der Schreibe Schutz-Schalter in der Stellung „Write-Enable“, damit der angeschlossene PC seine Daten dem EPROM-Simulator übergeben kann. Im Anschluß an die erfolgreiche Datenübernahme empfiehlt es sich, den Schalter in die Position „Write Disable“ zu bringen, wodurch nun das interne RAM gegen Überschreiben geschützt ist, und somit vom externen Computer aus

nicht mehr beschrieben werden kann. Hierdurch ist z. B. bei Langzeitversuchen sichergestellt, daß die Daten des Simulator-RAMs unverändert bleiben, selbst wenn Ein- und Ausschalt-Spikes an der Parallel-Schnittstelle des Computers auftreten.

Datenübernahme

Nach dem Anschluß und Einschalten des EPS 1000 kann die Betriebssoftware der Testschaltung vom Computer in den EPROM-Simulator eingeladen werden. Dies erfolgt über die Standard-Parallel-Schnittstelle, ausgelöst durch einen ganz normalen Betriebssystembefehl oder auch mit Hilfe eines speziellen Programms. Hierzu muß der EPROM-Inhalt in binärer Form vorliegen.

Auf einen IBM-kompatiblen PC bezogen, lautet der Betriebssystembefehl „COPY Dateiname.Ext Lpt1 /B“ für den Fall, daß der EPS 1000 an die erste parallele Schnittstelle angeschlossen ist. Für Atari- und Amiga-Computer lassen sich entsprechende Betriebssystemaufrufe vornehmen. Dabei ist zu beachten, daß die Druckerparameter so gewählt werden, daß die Ausgaberroutine keine Datenkonvertierung bzw. Veränderung vornimmt, wie dies einige Betriebssysteme zur Druckersteuerung durchführen.

Nach Beendigung der Übertragung wird automatisch über die Resetleitung der Mikrocontroller neu gestartet, so daß unmittelbar darauf das neue Betriebsprogramm abläuft.

Dateiformate

Einige Cross-Assembler bzw. Compiler erzeugen nur ein Objektdateiformat wie Intel-Hex, Motorola-Exorciser oder Tektronix-Hex. Ein Konvertierungsprogramm für diese Formate in eine für den EPS 1000 lesbare Binärdatei, lauffähig auf allen IBM-kompatiblen PCs, beschreibt ein separater Artikel im „ELVjournal“ 4/93. Damit sind dann alle gängigen Formate im Zusammenhang mit dem EPS 1000 einsetzbar.

Spezifikations-Abgrenzung

Der EPS 1000 simuliert EPROMs mit einer Zugriffsgeschwindigkeit ab 130 ns. Dabei ist zu berücksichtigen, daß spezielle EPROM-Parameter wie Stromverbrauch, kapazitive Belastung, Fan-In und Fan-Out nicht exakt nachgebildet werden. Hierzu empfiehlt es sich, zum Abschluß der Entwicklungsarbeiten ein EPROM zu programmieren, um auch diese Parameter zu überprüfen.

Blockschaltbild

Abbildung 1 zeigt das Blockschaltbild des EPROM-Simulators EPS 1000. Zentraler Bestandteil ist das statische 64 kB

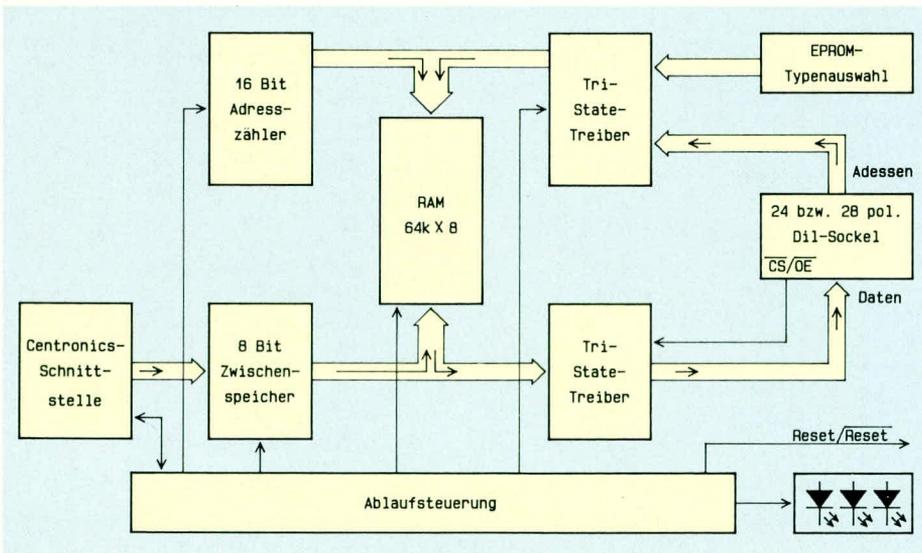
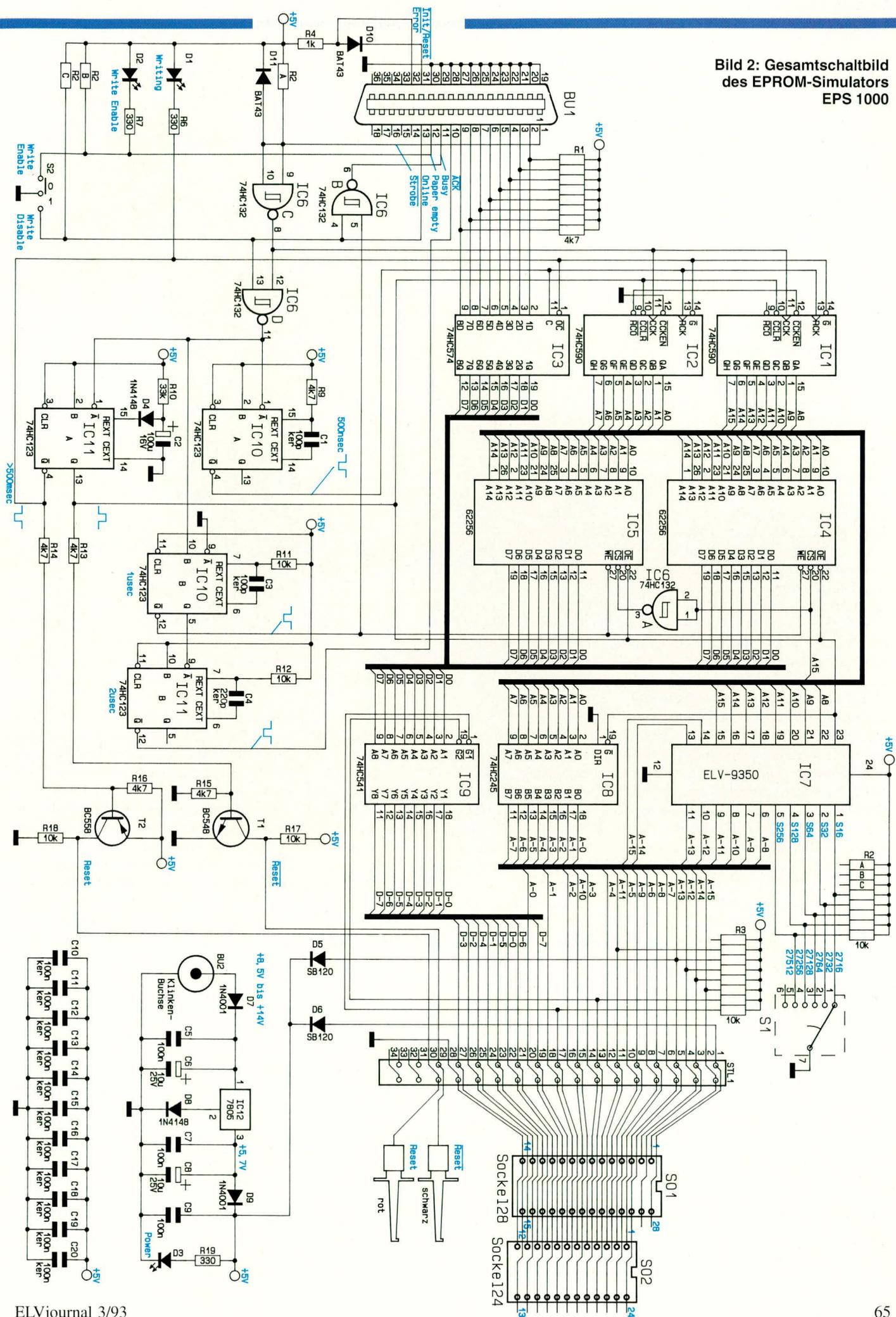


Bild 1: Blockschaltbild des EPROM-Simulators EPS 1000

Bild 2: Gesamtschaltbild des EPROM-Simulators EPS 1000



RAM, dessen Adreßbus beim Laden von einem 16 Bit-Zähler angesteuert wird, während im Simulationsbetrieb die Adressen vom Mikrocontroller generiert und über einen Bustreiber dem RAM zugeführt werden.

Im Ladebetrieb kommen die 8-Bit breiten Daten von der Parallel-Schnittstelle über den 8-Bit-Zwischenspeicher zum Datenbus des RAMs. Im Simulationsbetrieb werden die vom RAM kommenden Datenleitungen über einen Tristate-Treiber, der von den Steuerleitungen \overline{CS} und \overline{OE} freigegeben wird, übertragen.

Die Ablaufsteuerung regelt den gesamten Betriebsablauf und sorgt außerdem für die Generierung der invertierten und nicht-invertierten Reset-Leitungen.

Schaltung

Abbildung 2 zeigt das komplette Schaltbild des EPROM-Simulators. Zentraler Bestandteil sind die beiden Daten- und Adreßbusse sowie die RAMs IC 4 und IC 5 des Typs 62256 mit einer Kapazität von jeweils 32 kByte. Daraus resultierend benötigen diese Bausteine je 15 Adreßleitungen. Die 16. Adreßleitung A 15 selektiert einen der beiden Bausteine. Im unteren 32 k-Bereich liegt A 15 auf Low-Potential, wodurch IC 4 über die \overline{CS} -Leitung aktiviert ist. Über den Inverter IC 6 A ist dann im oberen 32 k-Bereich IC 5 aktiviert.

Der Adreßbus wird einerseits beim Ladevorgang von den beiden kaskadierten 8-Bit-Zählern IC 1 und IC 2 gesteuert, während im Simulationsbetrieb die bis zu 16 Adreßleitungen über den 24- bzw. 28poligen Sockel-Steckverbinder mit den nachgeschalteten Treibern IC 7 und IC 8 bereitgestellt werden. Beim IC 8 handelt es sich um einen Bustreiber des Typs 74HC245 und bei IC 7 um einen GAL-Baustein des Typs 20V8.

In Abbildung 3 ist die Innenschaltung des Adreß-GALs ELV 9350 gezeigt. Die Adreßleitungen A 8 bis A 10 sind über einen nicht-invertierenden Treiber gepuffert, während die höherwertigen Adreßleitungen A 11 bis A 15 je nach Zustand der Schalteingänge S 16 bis S 256 durchgesteuert werden.

Beim kleinsten EPROM 2716 (2 kByte) sind lediglich 11 (A 0 bis A 10) Adreßleitungen zu simulieren. Die höherwertigen Adreßleitungen müssen daher auf Low-Pegel liegen, so daß im Simulations-RAM der untere 2 k-Bereich selektiert wird.

Für das größte EPROM 27512 sind alle 16 Adreßleitungen erforderlich. In dieser Schalterstellung liegen alle 5 Steuerleitungen S 16 bis S 256 auf High-Pegel, woraufhin alle 8 Adreßleitungen (A 8 bis A 15) durchschalten. Die Freigabe der 8 Ausgänge dieses Bausteins erfolgt über den ge-

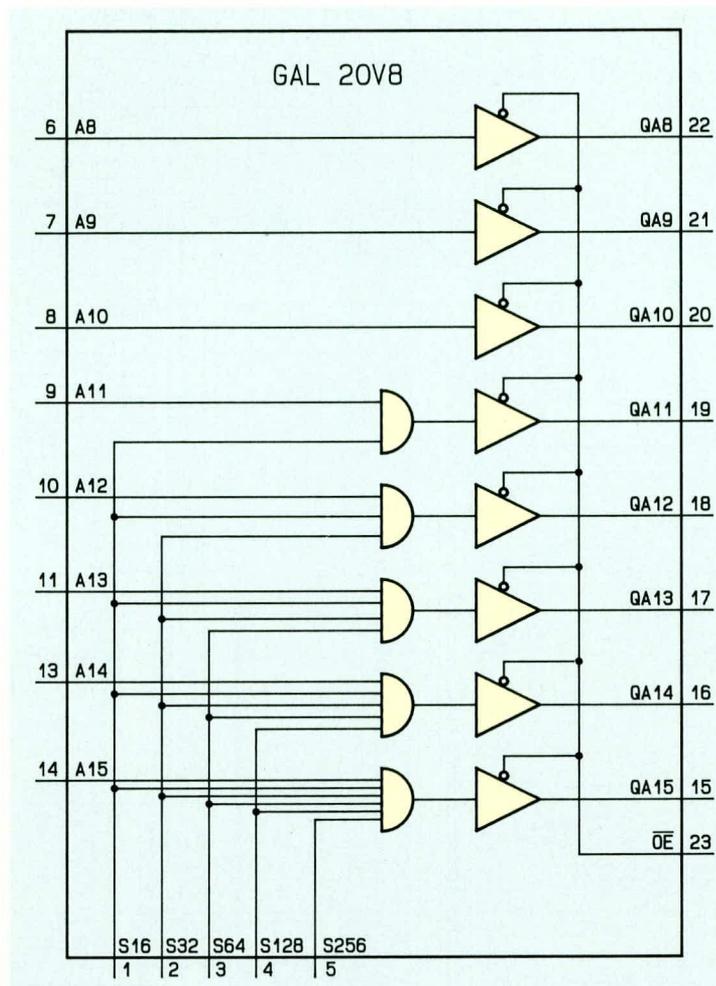


Bild 3: Innenschaltung des Adreß-GALs des Typs ELV9350

meinsamen Steuereingang \overline{OE} .

Die von der Parallel-Schnittstelle kommenden 8 Datenleitungen werden im IC 3 zwischengespeichert. Während des Ladevorganges gelangen diese 8 Bit über den internen Datenbus zu den RAMs, welche die Informationen übernehmen.

Im Simulationsbetrieb stellt das über A 15 selektierte RAM die Daten für das Zielsystem an IC 9 zur Verfügung. Dieser Tristate-Treiber wird aktiviert, wenn die beiden EPROM-Steuerleitungen \overline{OE} und \overline{CS} auf Low-Pegel liegen. Die gesamte Ablaufsteuerung wird von den NAND-Gattern IC 6 B, C und D sowie den Mono-Flops IC 10 und IC 11 des Typs 74HC123 vorgenommen. Den Signalverlauf während des Ladevorgangs zeigt Abbildung 4 in anschaulicher Weise.

Nachdem der Computer die Daten an D 0 bis D 7 angelegt hat, teilt er der Peripherie durch einen kurzen Strobe-Impuls mit, daß die 8 Bit übernommen werden können.

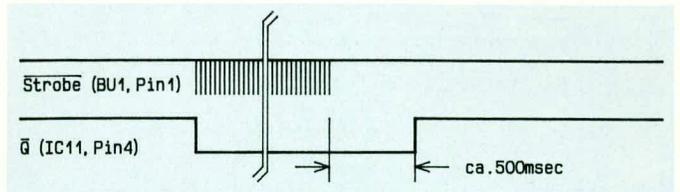
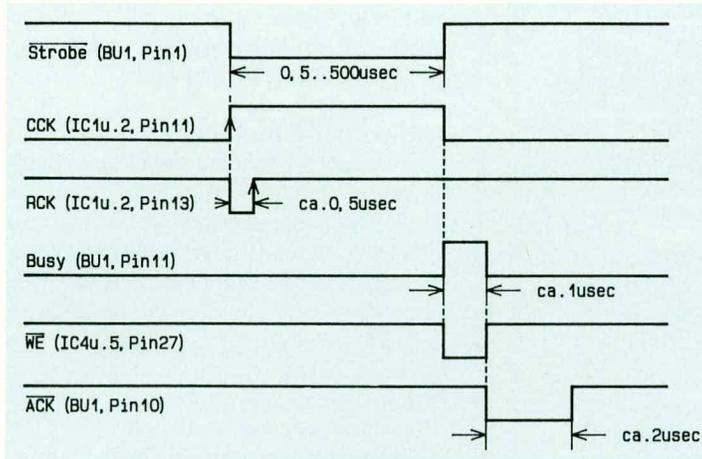
Mit der fallenden Flanke dieses Strobe-Signals wird nun zunächst der Adreßzähler um 1 erhöht. Das Signal gelangt über IC 6 C, D zweimal invertiert zu den Mono-Flops IC 10 A, B sowie IC 11 A. Nach Ablauf der Verzögerungszeit vom Mono-Flop IC 10 A (0,5 μ s) erfolgt mit der steigenden Flanke Q-Ausgang (Pin 4) die

Übernahme der 8-Bit-Daten in den Zwischenspeicher von IC 3. Gleichzeitig wird der Zählerstand von IC 1 und IC 2 in jeweils einen internen Speicher übernommen.

Die steigende Flanke des Strobe-Signals triggert das Mono-Flop IC 10 B. Während der Ablaufzeit (ca. 1 μ s) werden die Daten über die \overline{WE} -Steuerleitungen in das durch den Adreßbus selektierte RAM (IC 4 oder IC 5) hineingeschrieben. Innerhalb dieser Zeitspanne ist auch das Busy-Signal der Parallel-Schnittstelle über IC 6 B aktiv, so daß das Ausgeben eines Folgebyte solange gesperrt ist.

Mit der fallenden Flanke vom Ausgang Q (Pin 5) des IC 10 B triggert nun das Mono-Flop IC 11 B. Die Ablaufzeit ist hier auf ca. 2 μ s eingestellt und legt für diese Zeit die \overline{ACK} -Steuerleitung der Parallel-Schnittstelle auf Low-Pegel. Mit dieser Steuerleitung wird bei Interrupt-gesteuerter Ausgabe auf der Parallel-Schnittstelle dem Computer angezeigt, daß das nächste Datenbyte übertragen werden kann (Daten-Anforderungssignal).

Mit dem ersten Strobe-Impuls wird ebenfalls das Mono-Flop IC 11 A getriggert und während der gesamten Ladephase mit den weiteren Strobe-Impulsen nachgetriggert. Erst wenn der Strobe-Impuls für mehr als



**Bild 5 (oben):
Timing des
Mono-Flops
IC 11 A**

**Bild 4 (links):
Signalverlauf
während des
Ladevorgangs**

500 ms ausbleibt, wie aus Abbildung 5 ersichtlich, kehrt das Mono-Flop in den Ruhezustand zurück.

Der Q-Ausgang (Pin 13) steuert während des Ladevorgangs über den Vorwiderstand R 13 den Transistor T 1 durch, der wiederum auf die Reset-Leitung einen Aktiv-Low-Pegel legt.

Bei zahlreichen Zielsystemen wird für das Zurücksetzen des Systems oft ein Kondensator nach Masse geschaltet, der sich mit Hilfe dieser Schaltung einfach überbrücken läßt. Für Schaltungen, die ein Aktiv-High-Reset-Signal benötigen, ist der Transistor T 2 mit dem Vorwiderstand R 14 vorgesehen, der kollektorseitig einen entsprechenden Logik-Pegel liefert. Über den Schreibschutz-Schalter S 2 läßt sich ein Schreiben auf die Speicher des EPROM-Simulators verhindern, sobald der Schalter in Stellung „Write-Disable“ geschaltet ist. An den beiden Gattern IC 6 B, D sowie an der „Online“-Steuerleitung der Parallel-Schnittstelle liegt in diesem Fall ein Low-Pegel an. Dadurch ist die Aktivierung der

Mono-Flops über IC 6 D gesperrt, und die Busy-Leitung der Parallel-Schnittstelle aktiviert, um zu verhindern, daß der angeschlossene Computer einen Datenaustausch vornehmen kann. Die Online-Handshakeleitung teilt dem Computer durch den anliegenden Low-Pegel mit, daß das angeschlossene Ausgabegerät (EPS 1000) nicht für die Übernahme von Daten bereit ist.

Im normalen Betriebsfall ist der Schalter S 2 jedoch, wie in Abbildung 2 gezeigt, durchgeschaltet. Über den Vorwiderstand R 7 steuert er dann die Write-Enable-Leuchtdiode D 2 an.

Mit der Init/Reset-Steuerleitung der Parallel-Schnittstelle (Pin 31) läßt sich die ERROR-Steuerleitung (Pin 32) dieser Schnittstelle auf Low-Pegel setzen, wodurch eine Identifizierung des EPS 1000 möglich ist.

Die Spannungsversorgung der Schaltung kann auf 2 Wegen erfolgen. Ohne externes Steckernetzteil bekommt der EPORM-Simulator seine +5 V-Betriebsspannung über die Schottky-Dioden D 5 und D 6 des Typs

SB 120 direkt von den entsprechenden Pins am Sockel-Steckverbinder.

Soll das Zielsystem nicht zur Speisung dienen, kann ein externes Steckernetzteil die Versorgung des EPS 1000 übernehmen. Die Spannung gelangt dann von BU 2 über D 7 zum Spannungsregler IC 12 des Typs 7805. An dessen Ausgang liegt, bedingt durch die Diode D 8, eine Spannung von ca. 5,7 V an. Bedingt durch den Spannungsabfall an der Diode D 9 beträgt die Spannung an der Katodenseite ca. 5 V, was dazu führt, daß die Dioden D 5 und D 6 sperren. Damit ist das Zielsystem elektrisch nicht mehr belastet.

Die Zugriffszeit des EPROM-Simulators bestimmen unterschiedliche Gatter-Laufzeiten. Zunächst müssen die angelegten Adressen den Bustreiber IC 8 sowie das GAL IC 7 passieren. Für die Selektierung ist noch die Verzögerungszeit von IC 6 A zu berücksichtigen, wozu noch die Zugriffszeit des RAMs von ca. 80 ns und die Durchlaufverzögerung von IC 9 zu addieren ist. Daraus ergibt sich für den Emulator eine Gesamtzugriffszeit von max. 130 ns. Dieser Wert ist für Standard-Mikrocontroller mehr als ausreichend, da die übliche Zugriffszeit von EPROMs im Bereich von 120 ns und 250 ns liegt.

Im Anschluß an diese ausführliche Schaltungsbeschreibung stellen wir im abschließenden Teil dieses Artikels den Nachbau vor. **ELV**