

# Prozessor-Frequenzzähler FZ 7001

## Teil 2

Im zweiten Teil dieses Artikels wird die Schaltung des FZ 7001 ausführlich beschrieben.

### Die Schaltung

Ein wesentlicher Vorteil des FZ 7001 besteht darin, daß bei niedrigen Frequenzen (z. B. 50 Hz) die volle Auflösung und Meßgenauigkeit erreicht werden kann, ohne daß dabei die Meßzeiten extrem ansteigen. Selbst bei 7stelliger Auflösung einer 10 Hz Eingangsfrequenz können noch 3 Messungen pro Sekunde erfolgen. Dies wird möglich, indem die Eingangsfrequenz flankengenau einen Teiler ansteuert, der wiederum die Torzeit in Abhängigkeit von der Eingangsfrequenz festlegt. Innerhalb dieser so gewonnenen Torzeit gelangen die Impulse des 40 MHz-Referenzoszillators auf eine Zählerkette, die vom Prozessor ausgelesen wird. Die Auflösung ist somit im wesentlichen abhängig von der sehr hoch gewählten 40 MHz-Referenzfrequenz. Der Prozessor nimmt anschließend eine Umrechnung und Zuordnung zwischen dem Stand der Prozessor-Zählerkette und dem Teilungsverhältnis der Eingangsteilerkette vor, um daraus das Meßergebnis zu gewinnen und anzuzeigen.

In **Abbildung 1** ist das Blockschaltbild des von ELV entwickelten Prozessor-Frequenzzählers FZ 7001 dargestellt. Zur Veranschaulichung der komplexen Funktionsabläufe wollen wir zuerst hierauf näher eingehen, bevor wir uns im Anschluß der detaillierten Schaltungsbeschreibung zuwenden.

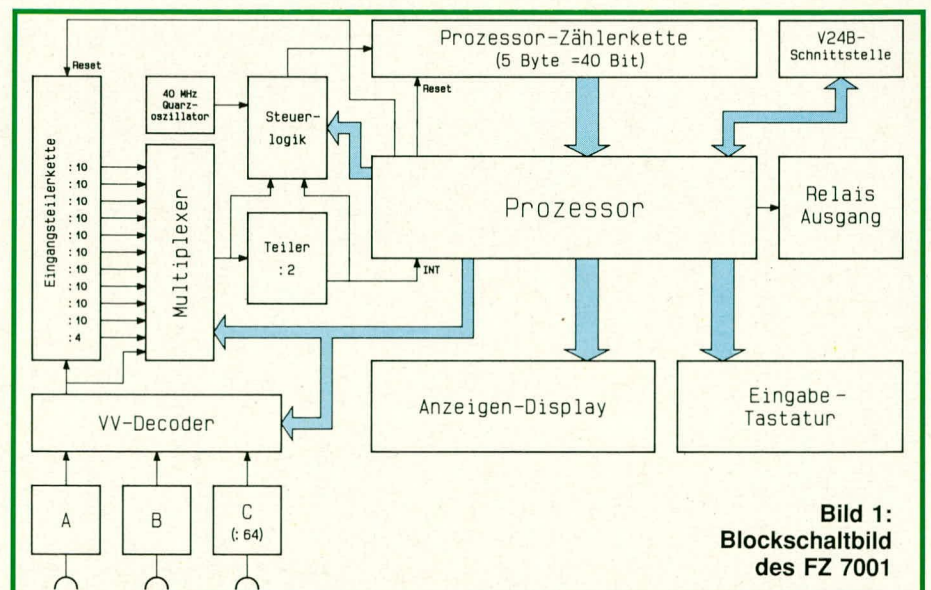
Zentrales Bauteil der Schaltung ist der Single-Chip Mikroprozessor des Typs ELV 8712, in dem allerdings nur ein Teil des komplexen Steuerprogramms abgelegt ist. Daneben wird ein weiterer Programmteil in einem EPROM abgelegt, auf das der Prozessor bei Bedarf zugreift. Auf diese Weise wird der komplexe Funktionsablauf zentral verwaltet.

Über die Eingabetastatur erhält der Prozessor die Informationen für seine Arbeitsweise. In gleicher Weise können über die V 24 B-Schnittstelle von einem externen

Rechner Steuerbefehle an den Prozessor übermittelt werden. Da es sich hierbei um eine bidirektionale Schnittstelle handelt, können außerdem die Meßwerte vom externen Rechner abgefragt werden.

Quasi gleichzeitig nimmt der Prozessor die Steuerung des kompletten Anzeigen-Displays vor.

Ein wesentlicher Aufgabenbereich des Single-Chip Mikroprozessors ist die Steuerung und Verwaltung der Meßwertermittlung. Links unten in **Abbildung 1** sind die 3 Vorverstärker „A, B, C“ dargestellt. Diese bereiten die am Eingang anliegende Meßsignale pegelmäßig derart auf, daß sie zur digitalen Weiterverarbeitung geeignet sind. Vom nachgeschalteten Vorverstärker/Decoder mit 3 Eingängen wird jeweils nur einer der 3 Vorverstärkerausgänge durchgeschaltet. Um welches Meßsignal es sich hierbei handelt, wird dem Decoder über entsprechende Steuerleitungen vom Prozessor mitgeteilt.



**Bild 1:**  
Blockschaltbild  
des FZ 7001

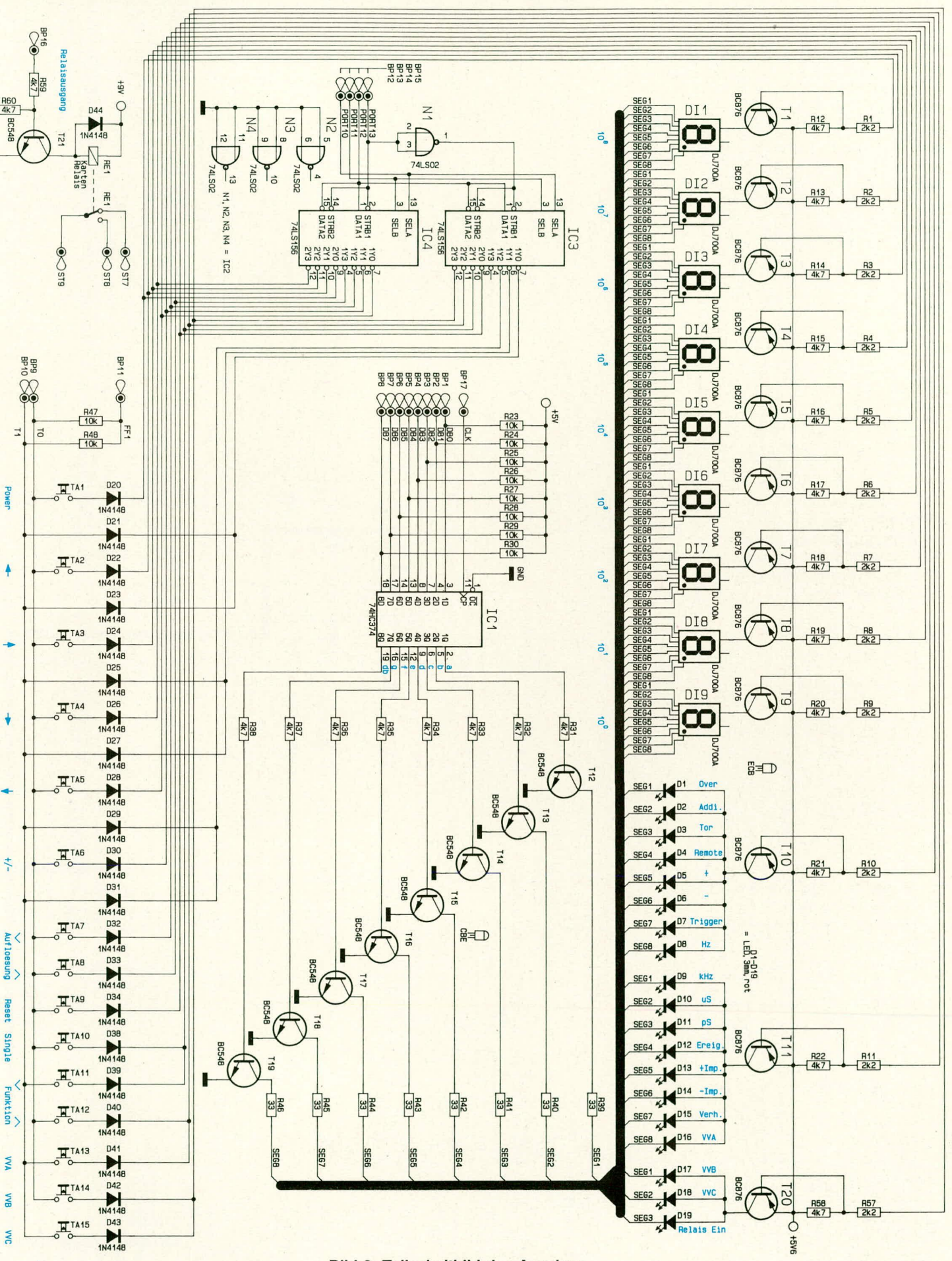
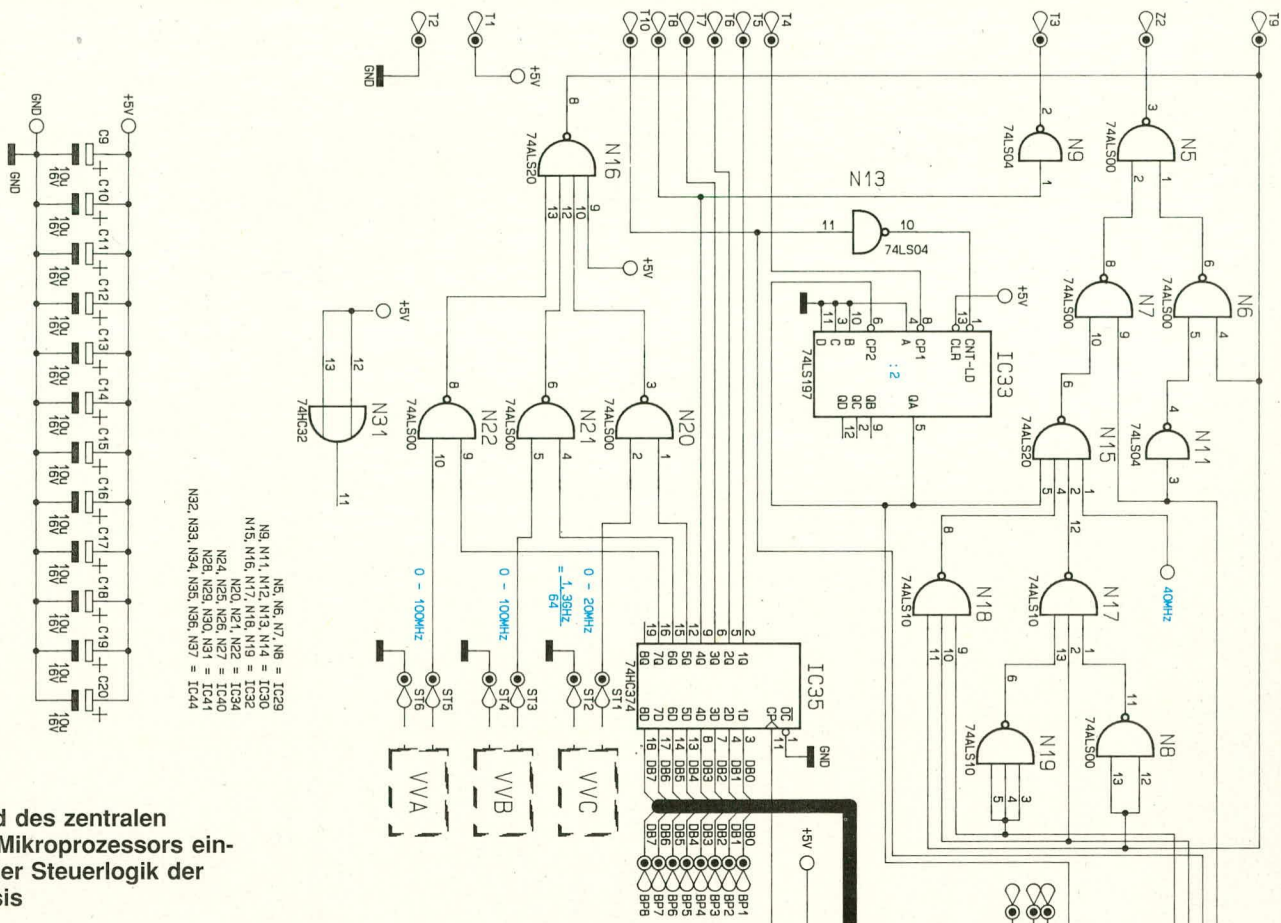
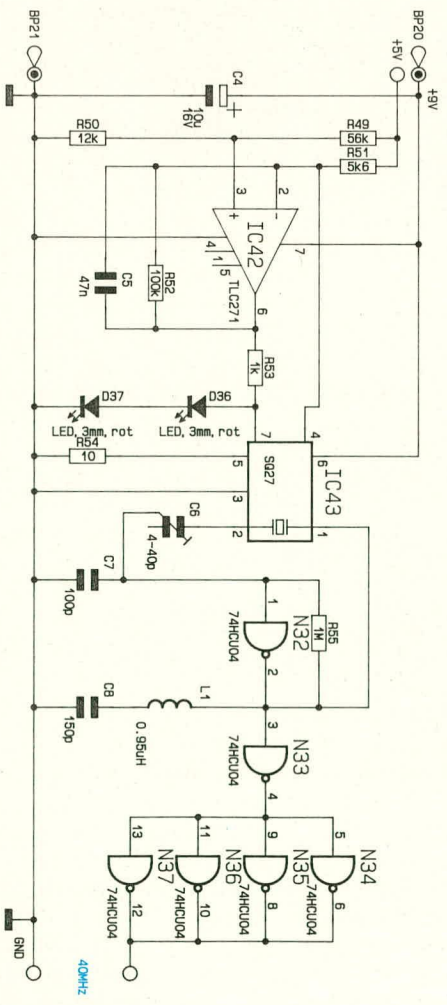
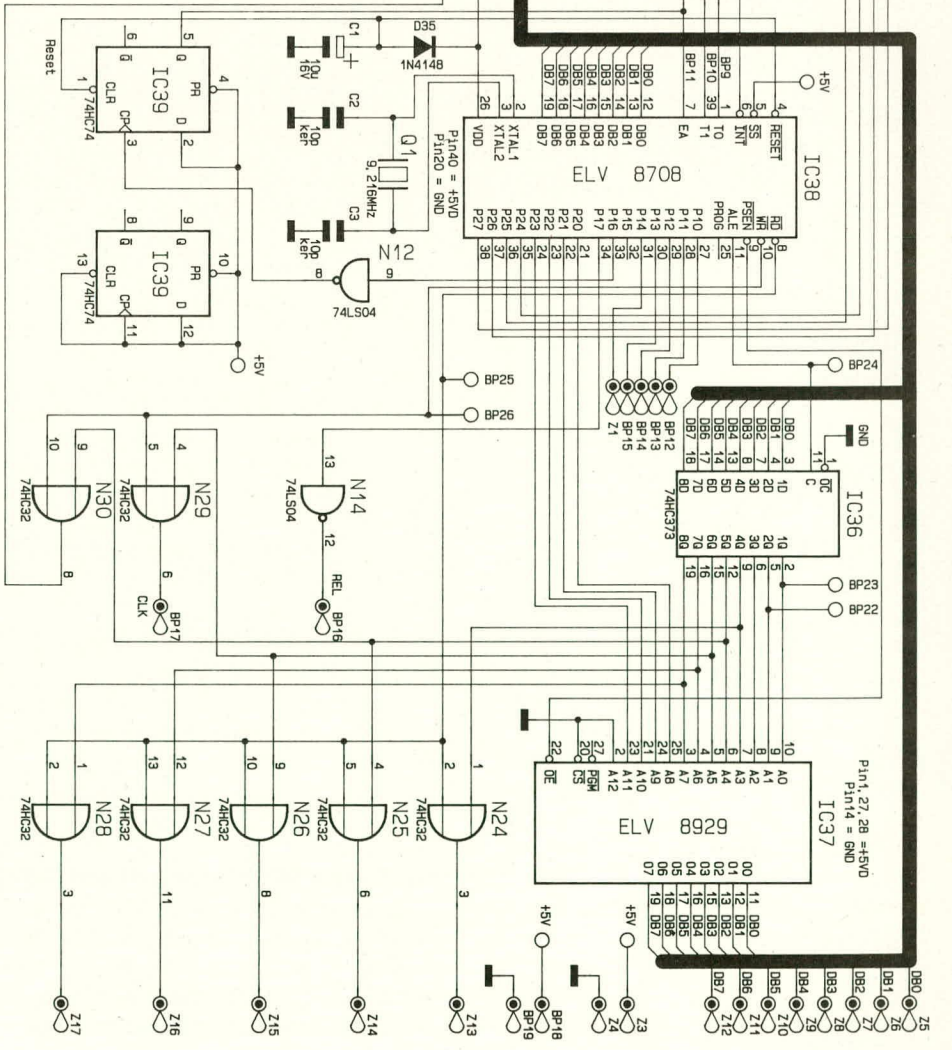


Bild 2: Teilschaltbild des Anzeigen-Displays sowie der Eingabetastatur



N5, N6, N7, N8 = IC29  
 N9, N11, N12, N13, N14 = IC30  
 N15, N16, N20, N21, N22 = IC34  
 N24, N25, N26, N27 = IC34  
 N28, N29, N30, N31 = IC41  
 N32, N33, N34, N35, N36, N37 = IC44

**Bild 3:** Teilschaltbild des zentralen Single-Chip-Mikroprozessors einschließlich der Steuerlogik der Quarzeitbasis



Der Decoderausgang ist zum einen direkt auf die Eingangsteilerkette geschaltet, die zunächst durch 4 und anschließend zehnmal durch 10 dividiert. Der rechts daneben angeordnete Multiplexer wählt, ebenfalls vom Prozessor gesteuert, einen dieser Teilungsfaktoren aus, um das Signal anschließend auf den dahinter angeordneten „Teiler durch 2“ durchzuschalten. Zum anderen besteht aber auch die Möglichkeit, den Decoderausgang direkt über den Multiplexer ohne zusätzlichen Vorteiler auf den eben erwähnten „Teiler durch 2“ zu geben. Hierdurch können bei sehr langsamen Eingangsfrequenzen bereits einzelne Perioden ausgemessen werden. Die Aufgabe des „Teilers durch 2“ ist die Erzeugung eines logischen Signals für die Dauer einer vollen Periode bzw. einer definierten Anzahl von vollen Perioden, die sich durch den gerade eingestellten Teilungsfaktor der Eingangsteilerkette ergeben.

Während der Ausgang des „Teilers durch 2“ High-Pegel führt, gibt die Steuerlogik unmittelbar nach dem ersten Flankenwechsel der zu messenden Eingangsfrequenz die Impulse des 40 MHz-Quarzoszillators auf die oben rechts über dem Prozessor angeordnete Prozessor-Zählerkette. Sobald der Ausgang des „Teilers durch 2“ wieder auf Low-Pegel wechselt, sperrt die Steuerlogik die 40 MHz-Frequenz. Die Anzahl der in der Prozessor-Zählerkette eingelesenen Impulse ist ein sehr genaues Maß für die Zeitdauer des High-Signals. Auf diese Weise können selbst vergleichsweise langsame Frequenzen mit einer extrem hohen Auflösung ausgemessen werden, da immer volle Perioden in Verbindung mit der 40 MHz-Referenzfrequenz die Ausgangsbasis bilden.

Der Prozessor liest nun den Stand der Prozessor-Zählerkette aus und nimmt eine Umrechnung unter Berücksichtigung des eingestellten Teilungsfaktors der Eingangsteilerkette vor.

Nachdem ein kompletter Meßzyklus erfolgt ist, setzt der Prozessor die Prozessor-Zählerkette und die Eingangsteilerkette zurück und ein neuer Meßzyklus kann beginnen.

Die Einstellung des Eingangsteilungsfaktors ist erforderlich, um den verschiedenen Auflösungen in Verbindung mit der Höhe der Eingangsfrequenz Rechnung zu tragen.

Nachdem wir uns mit der prinzipiellen Funktionsweise des Prozessor-Frequenzzählers FZ 7001 vertraut gemacht haben, wenden wir uns der Detailschaltung zu. Diese besteht aus insgesamt 6 Teilschaltbildern (Bild 2 bis Bild 7).

In **Abbildung 2** ist das Teilschaltbild des Anzeigen-Displays sowie der Eingabetasten dargestellt.

Die Ansteuerung der insgesamt 12 Digits (9 Stück 7-Segment-Anzeigen sowie

19 Leuchtdioden) erfolgt im Multiplexbetrieb. Zur Decodierung des Binärcodes für das jeweils aktive Digit dienen IC 3 und IC 4 des Typs 74 LS 156, die ihre Eingangsdaten direkt von der Prozessoreinheit erhalten. Über die Open-Kollektor-Ausgänge dieser beiden ICs werden in Verbindung mit den Vorwiderständen R 1 bis R 11 sowie R 57 die PNP-Transistoren T 1 bis T 11 sowie T 20 angesteuert. Jeweils einer dieser Transistoren schaltet die gemeinsame Anode der zugehörigen 7-Segment-Anzeige auf die positive Versorgungsspannung (5V6).

Die Ansteuerung der Segmente und der Dezimalpunkte sowie der LEDs D 1 bis D 19 erfolgt über die Transistoren T 12 bis T 19. Zur Begrenzung der Segmentströme dienen die Vorwiderstände in den Kollektorleitungen dieser Transistoren (R 39 bis R 46).

Angesteuert werden die Segment-Treiber-Transistoren vom IC 1 des Typs 74 LS 374 über die Basis-Vorwiderstände R 31 bis R 38. Beim IC 1 handelt es sich um einen 8fach-Speicher-Baustein, der vom Prozessor wie ein externer Speicher adressiert und geladen wird, wobei die Umwandlung in den 7-Segment-Code ebenfalls der Prozessor übernimmt. Die Ansteuerung der Leuchtdioden D 1 bis D 19 erfolgt in gleicher Weise wie eine 7-Segment-Anzeige einschließlich Dezimalpunkt.

Des weiteren ist in **Abbildung 2** die Teilschaltung zur Abfrage der 15 Bedientasten dargestellt (TA 1 bis TA 15). Die Abfrage erfolgt über die Prozessoreingänge T 0 und T 1. Bei unbetätigten Tasten wird das Potential an diesen hochohmigen Eingängen mit 5 V durch die Widerstände R 47 und R 48 vorgegeben. Zur gegenseitigen Entkopplung sind die Dioden D 20 bis D 43 eingesetzt, wobei mit den Dioden D 21, 23, 25, 27, 29, 31 die Adresse und das Datenformat der seriellen Schnittstelle codiert wird. Die Abfrage der Eingänge T 0 und T 1 erfolgt synchron mit der Multiplexfrequenz und wird vom Prozessor der entsprechenden Funktion zugeordnet.

In **Abbildung 3** ist das Teilschaltbild des zentralen Single-Chip-Mikroprozessors einschließlich der Steuerlogik und der Quarzeitbasis dargestellt.

Zentrales Bauteil stellt der Single-Chip-Mikroprozessor IC 38 des Typs ELV 8708 dar. Um ausreichend Platz für die komplexen Programmstrukturen zu schaffen, wurde diesem Prozessor, der auch einen internen Programmspeicher besitzt, ein zusätzliches externes EPROM (IC 37) beigelegt. Ein Datenaustausch findet über die Bus-Leitungen statt. IC 36 des Typs 74 HC 373 übernimmt eine Zwischenspeicherung der 8 niederwertigen Adreßleitungen des Prozessors (IC 38) während der Befehlsübernahme aus dem EPROM. Die Arbeitsfrequenz des Prozessors wird durch einen in-

tegrierten Oszillator in Verbindung mit dem externen Quarz Q 1 auf eine Frequenz von 9,21 MHz festgelegt. Die Genauigkeit dieser Frequenz ist ohne Bedeutung für die Abolutgenauigkeit der vom FZ 7001 durchgeführten Messungen. Hier spielt ausschließlich die Stabilität des temperaturstabilisierten 40 MHz-Quarzoszillators eine Rolle. Hierauf gehen wir zu einem späteren Zeitpunkt dieser Beschreibung noch näher ein.

Die vom Prozessor angesteuerten Gatter N 24 bis N 28 (IC 40, 41) dienen zur Decodierung und Auflösung der in Bild 5 dargestellten Prozessor-Zählerkette, die ebenfalls im weiteren Verlauf dieses Artikels beschrieben wird. Der Inverter N 14 steuert über BP 16 den Relais-Schaltausgang an, der in Bild 2 gezeigt wird.

Doch fahren wir an dieser Stelle weiter mit der Beschreibung des Teilschaltbildes 3. Das Gatter N 29 dient zur Decodierung der Display-Ansteuerung (über BP 17), während das Gatter N 30 das Flip-Flop IC 35 anspricht. Hierbei handelt es sich um ein Datenspeicher-Flip-Flop, das über die Ausgangsleitungen Pin 12, 15, 16 in Verbindung mit IC 34 (N 20 bis N 22) die Vorverstärker „A, B, C“ auswählt. Die Ausgänge Pin 2, 5, 6, 9 des IC 35 setzen die Multiplexer IC 14, 15 (Bild 4) zur Auswahl des Eingangs-Teilungsfaktors.

Die von den Vorverstärkern kommende Meßfrequenz gelangt, wie bereits erwähnt, über die Gatter N 20 bis N 22 auf das Verknüpfungsgatter N 16, von dessen Ausgang (Pin 8) eines dieser 3 Signale über den Platinenanschlußpunkt T 9 auf die Eingangsteilerkette geschaltet wird.

Die Gatter N 5 bis N 8 sowie N 11, 15, 17, 18, 19 bilden die Steuerlogik für die verschiedenen Meßarten. Die jeweilige Eingangsinformation wird den Gattern vom Prozessor geliefert, während nur der Ausgang Pin 3 des Gatters N 5 über den Platinenanschlußpunkt Z 2 auf den Takteingang der Prozessor-Zählerkette (Bild 5) gegeben wird. Die Frequenz kommt von der 40 MHz-Quarzeitbasis, wobei die Information in der Zeitdauer, in der diese Frequenz ansteht, liegt.

N 32 bildet in Verbindung mit der externen Schaltung sowie dem Quarz den 40 MHz-Quarzoszillator. Am Ausgang des Gatters N 32 (Pin 2) steht die hochstabile 40 MHz-Referenzfrequenz zur Verfügung.

Um die Genauigkeit zu optimieren, wird der Quarz auf einer stabilen Temperatur von ca. 60° C gehalten. Hierzu dient ein Halbleiter-Heizelement im thermisch isolierten Ofen-Gehäuse in Verbindung mit einer Temperaturrückführung. Die eigentliche Regelung übernimmt IC 42 mit Zusatzbeschaltung.

Die Kondensatoren C 9 bis C 20 sind räumlich den schnell schaltenden ICs zugeordnet und dienen zur Störunterdrückung.

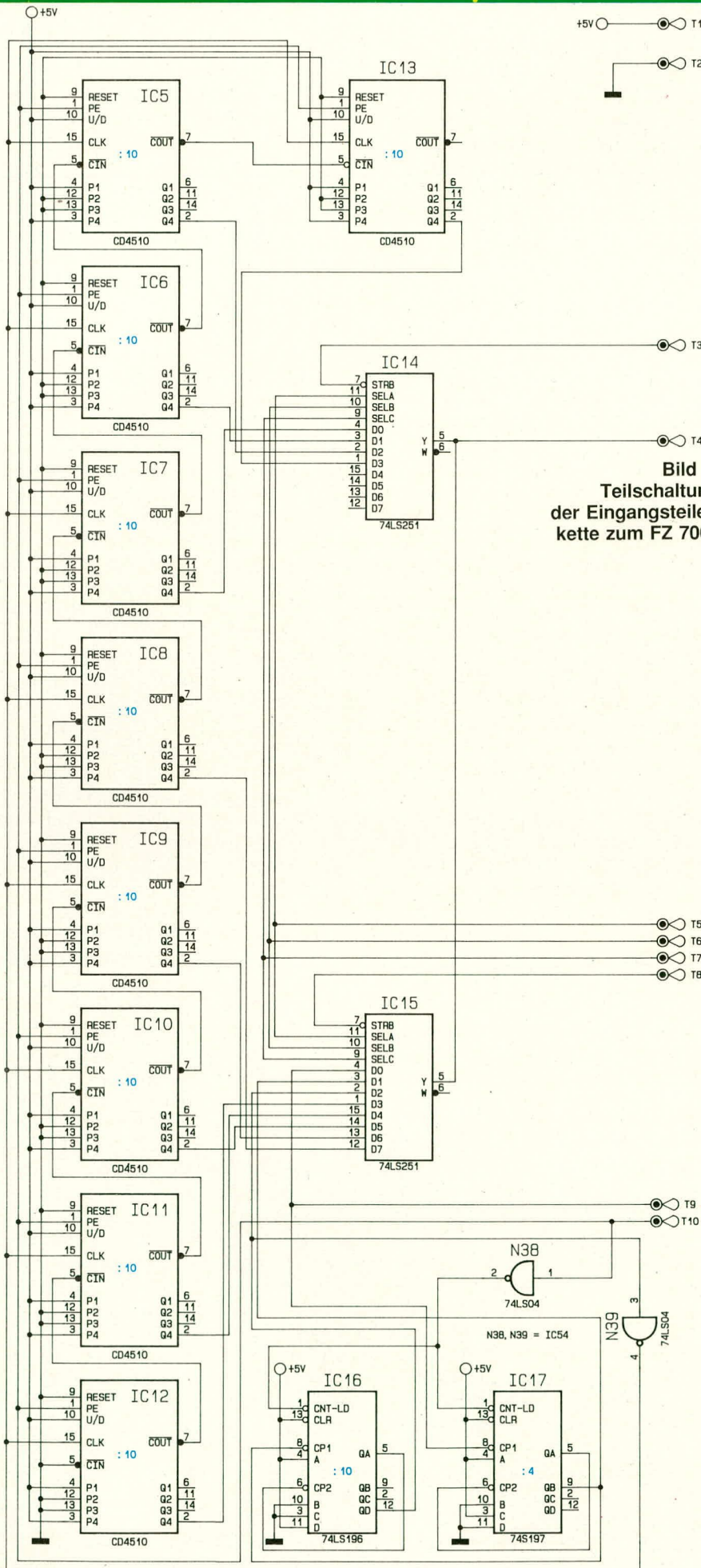


Bild 4:  
Teilschaltung  
der Eingangsteiler-  
kette zum FZ 7001

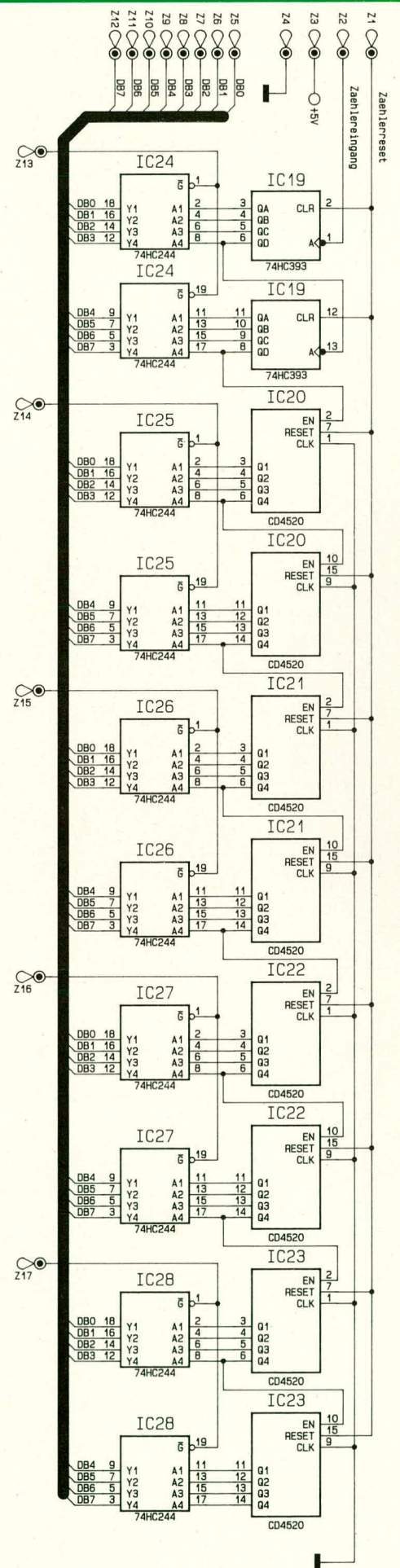


Bild 5: Prozessor-Zählerkette

Die Eingangsteilerkette ist in **Abbildung 4** dargestellt. Hierbei handelt es sich um die bereits erwähnten Multiplexer IC 14 und IC 15, die eine Auswahl der Teilungsfaktoren zulassen und vom Prozessor angesteuert werden.

Das über den Platinenanschlußpunkt T 9 vom Vorverstärker kommende Meßsignal (Eingangsfrequenz) gelangt auf den Clock-Eingang (Pin 8) des IC 17, das eine erste Eingangsteilung durch den Faktor 4 vornimmt. Bei dem IC 17 handelt es sich um einen 100 MHz-Teiler des Typs 74 S 197. Der Ausgang des IC 17 ist zum einen auf einen der Eingänge des Multiplexers IC 15 geschaltet und zum anderen auf das nachfolgende Teiler-IC 16 des Typs 74 LS 196. Hier wird eine weitere Teilung durch 10 vorgenommen. Es folgen 9 weitere Dezimalteiler des Typs CD 4510. Nach jeder Teilerstufe wird das Signal auf einen Multiplexereingang (IC 14, 15) geführt, um je nach Erfordernis eine bestimmte Teiler-

stufe durchschalten zu können.

Eine Besonderheit sei in diesem Zusammenhang noch angemerkt. Die Teiler des Typs CD 4510 werden auf den Zählerstand „9“ vorgesetzt, um in möglichst kurzer Zeit den ersten Clock-Impuls zum Starten des eigentlichen Meßzyklus zu erhalten.

Kommen wir als nächstes zur Prozessor-Zählerkette, die in **Abbildung 5** aufgezeigt ist. Hierbei handelt es sich um einen 5-Byte-Binärzähler, dessen Eingangssignal von der Steuerlogik über den Platinenanschlußpunkt Z 2 auf die erste schnelle Zählerstufe IC 19 des Typs 74 HC 393 (Pin 1) gelangt. Die Eingangsfrequenz kommt vom 40 MHz-Referenzoszillator.

Das IC 19 beinhaltet 2 Stück 4-Bit-Zähler, die nacheinander geschaltet ein Byte repräsentieren, d. h. der Teilungsfaktor beträgt insgesamt 256. Es folgen weitere 4 Byte, die jeweils durch ein IC des Typs CD 4520 realisiert wurden.

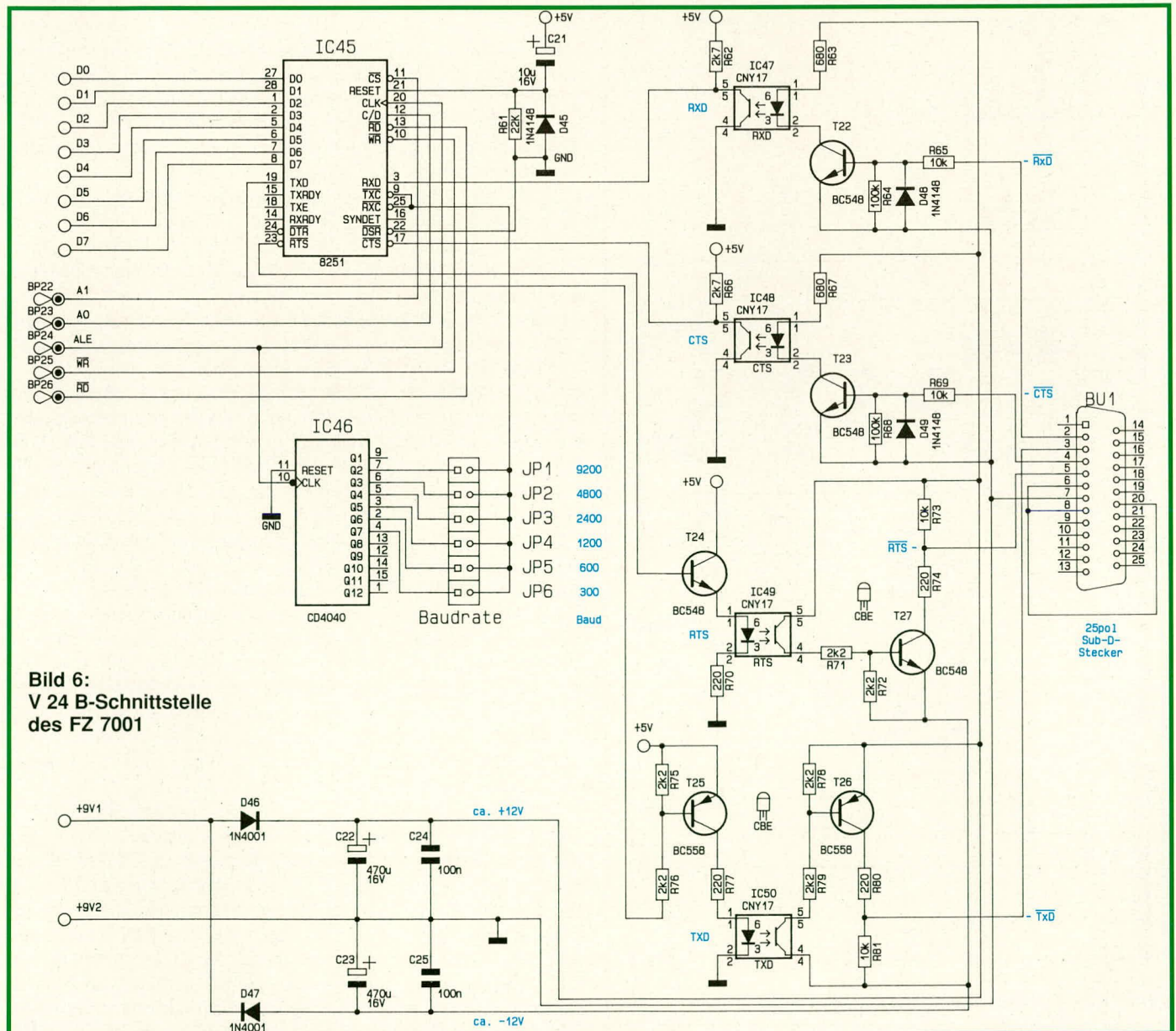
Das Auslesen des Zählerstandes erfolgt

über die Bustreiber IC 24 bis IC 28, deren Ansteuerung über die Leitungen Z 13 bis Z 17 in bereits beschriebener Weise erfolgt.

Zur Kommunikation mit einem externen Rechner besitzt der FZ 7001 eine bidirektional arbeitende V 24 B-Schnittstelle, die in **Abbildung 6** dargestellt ist.

Wesentlicher Bestandteil dieses Schaltungsabschnittes ist der Schnittstellenbaustein IC 45 des Typs 82 C 51. Dieser erhält seine Daten vom zentralen Prozessor IC 38 über den angeschlossenen Datenbus. IC 45 setzt daraufhin die zu sendenden bzw. zu empfangenden Signale entsprechend um.

Mit IC 46 des Typs CD 4040 wird der an Pin 10 anstehende Prozessortakt heruntergeteilt und je nach Stellung der Jumper dem IC 45 zugeführt. Hierdurch wird der für die Baudrate erforderliche Takt festgelegt, um die V 24 B-Schnittstelle universell einsetzen zu können. IC 45 wird mit parallelen Daten des Prozessors gespeist und stellt seriell empfangene Daten in 8 Bit-



**Bild 6:**  
V 24 B-Schnittstelle  
des FZ 7001

Parallelformat zur Verfügung. Die Umwandlung parallel-seriell und zurück sowie die Erzeugung des Datenrahmens bzw. der Decodierung wird von diesem Baustein komplett eigenständig ausgeführt.

Unmittelbar nach dem Einschalten erhält das IC 45 einen Reset-Impuls und wird in den ersten Programmschritten des Prozessors initialisiert, d. h. intern auf das Datenformat eingestellt. Dieses Format ist mit 8 Datenbits fest vorgegeben. Das Parity-Bit und die Anzahl der Stop-Bits kann mit Hilfe der Dioden D 21, 23, 25, 27, 29, 31 (Bild 2) in bereits beschriebener Weise eingestellt werden. Über einen Jumper wird die Baudrate an der Steckleiste JP 1 bis JP 6 gewählt. Die Taktfrequenz für das Senden und Empfangen entspricht dem 16fachen der Baudrate und wird durch den Teiler IC 46 erzeugt. Am Clock-Eingang dieses ICs liegt der Prozessortakt ALE an (Quarzfrequenz dividiert durch 15) und stellt an den Ausgängen die für die verschiedenen Baudraten erforderlichen Frequenzen zur Verfügung.

Die 4 zur seriellen Schnittstelle gehörenden Leitungen CTS und TxD für den Sender bzw. RxD und RTS für den Empfänger sind über Optokoppler galvanisch vom Potential des FZ 7001 getrennt. Auch die Versorgungsspannung für den Betrieb der rechnerseitigen Treiberstufen wird über eine separate Trafowicklung (9 V/100 mA) versorgt (Bild 7).

Über die Gleichrichterdiode D 46 wird in Verbindung mit dem Elko C 22 die positive Versorgungsspannung und mit D 47 und C 23 die negative Versorgungsspannung von jeweils ca. 12 V erzeugt. Dies entspricht dem genormten Pegel der RS 232-Schnittstelle, die wiederum in gleicher Weise wie eine V 24-Schnittstelle zu betreiben ist. C 24, 25 dienen zur Unterdrückung von Impulsspitzen.

Kommen wir als nächstes zur Beschreibung der Empfangs- und Sendestufen. Die Empfangsleitungen des IC 45 (CTS und RxD) werden über die Optokoppler IC 47, 48 angesteuert. R 62 und R 66 definieren hierbei den Arbeits-

punkt der Optokoppler-Transistoren. Die Ansteuerung der Leuchtdioden in den Optokopplern erfolgt über die Transistoren T 22, 23 in Verbindung mit den Strombegrenzungswiderständen R 63 und R 67. Angesteuert werden die Transistoren über die Basisvorwiderstände R 65 und R 69. D 48 und D 49 dienen dem Schutz der Basis-Emitter-Strecken bei negativer Ansteuerspannung.

Die Ausgangsleitungen des IC 45 steuern über T 24, 25 die Optokoppler IC 49, 50 an, die für die Ausgangsleitungen TxD und RTS zuständig sind. Die Transistoren dieser beiden Optokoppler arbeiten auf die Leitungstreiber T 26, 27, wobei R 74 und R 80 für eine Kurzschlußfestigkeit der Ausgänge sorgen. Die Treiberstufe der TxD-Leitung unterscheidet sich von der RTS-Leitung durch den inversen Aufbau. Dies ist erforderlich,

damit im Ruhezustand der Schnittstelle (TxD: Low-Pegel und RTS: High-Pegel) diese Anschlüsse relativ hochohmig sind und von anderen parallel liegenden Geräten genutzt werden können. Alle 4 Treiberstufen haben eine Inverterfunktion und passen damit die Ausgangspegel des IC 45 den genormten Leitungspegeln an.

In diesem Zusammenhang verweisen wir auf den Artikel „Die V 24 B-Schnittstelle“ im ELV journal 4/89 auf den Seiten 9 bis 11. Hier wird ausführlich auf die Besonderheiten der von ELV konzipierten busfähigen modifizierten V 24-Schnittstelle eingegangen.

In **Abbildung 7** ist das Netzteil-Schaltbild zum FZ 7001 dargestellt.

Ein spezieller vergossener Netztransformator mit integrierter Netzzuleitung stellt die erforderlichen Spannungen zur Verfügung. An den Lötpins dieses Transformators (TR 1) stehen ausschließlich die von der Eingangs-Netzwechselspannung galvanisch getrennten Niederspannungen zum Betrieb des FZ 7001 zur Verfügung. Innerhalb des gesamten FZ 7001 werden keinerlei Spannungen erzeugt, die bei Berührung Gefahren mit sich bringen. Diesen hohen Sicherheitsstandard erkaufte man sich allerdings durch einen etwas höheren Transformatorpreis.

Die Spannung der oberen Wicklung (4 V/1 A) dient nach erfolgter Gleichrichtung über D 50 bis D 53 und Pufferung durch C 26 zur Speisung des Anzeigen-Displays. Hier reicht eine hinreichend geglättete, jedoch ungestabilisierte, Versorgungsspannung vollkommen aus zur Minimierung der internen Verlustleistung des Gerätes.

Die Hauptversorgungsspannung des FZ 7001 wird von der zweiten Sekundärwicklung (8 V/0,5 A) bereitgestellt. D 54 bis D 57 nehmen eine Brückengleichrichtung vor, während C 27 zur Pufferung dient. Der Festspannungsregler IC 51 des Typs 7805 generiert daraus die Betriebsspannung von +5 V, C 28 und C 29 dienen der Schwingneigungsunterdrückung.

Eine weitere Sekundärwicklung (8 V/0,5 A) speist in Verbindung mit den beiden Festspannungsreglern 7805 und 7905 die beiden Vorverstärker „DC bis 100 MHz“ mit den erforderlichen +5 V und -5,2 V Spannungspegeln. Die negative Spannung wird mit R 82 auf exakt -5,2 V eingestellt.

Die vierte Sekundärwicklung (9 V/100 mA) dient zur galvanisch getrennten Versorgung der Sende- und Empfangsstufen der V 24 B-Schnittstelle (Bild 6).

Nachdem wir uns ausführlich mit der Schaltungstechnik des FZ 7001 befaßt haben, folgt im dritten Teil dieses Artikels zunächst noch die Beschreibung der Vorverstärker gefolgt von Nachbau und Inbetriebnahme.

ELV

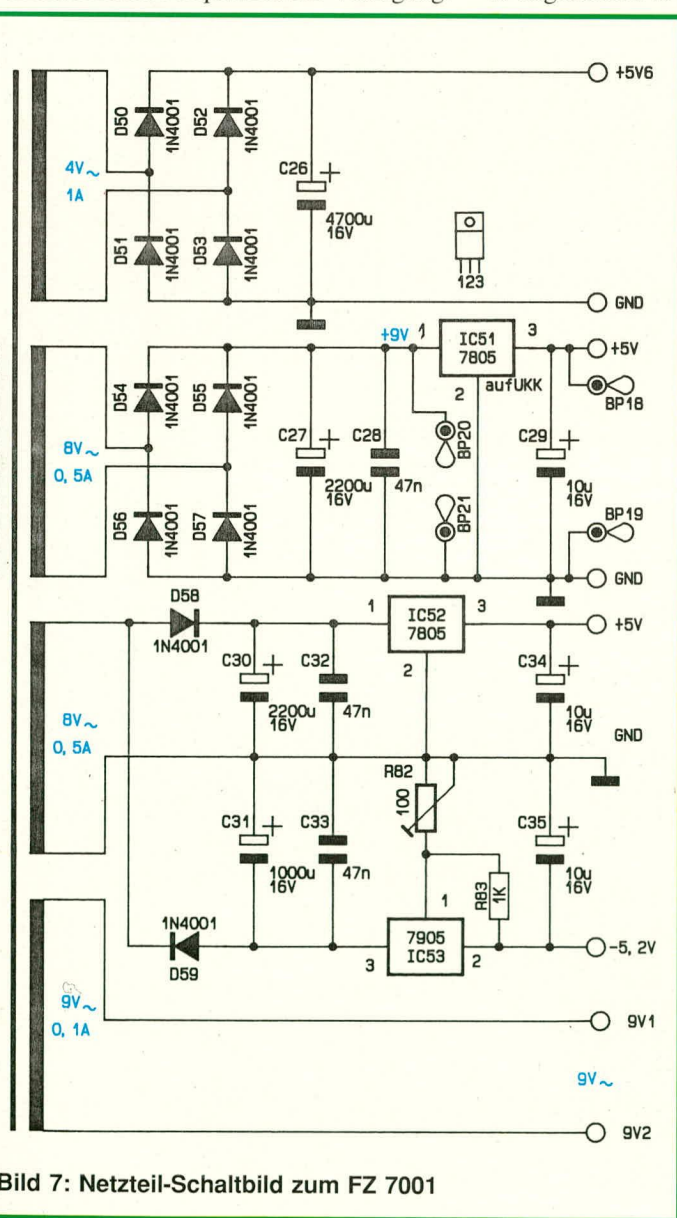


Bild 7: Netzteil-Schaltbild zum FZ 7001